

**IN THE UNITED STATES PATENT AND TRADEMARK OFFICE**

In re Patent Application of	)	
	)	
Ryohei HIGUCHI	)	Group Art Unit: Unassigned
	)	
Application No.: Unassigned	)	Examiner: Unassigned
	)	
Filed: October 7, 2003	)	Confirmation No.: Unassigned
	)	
For: DATA TRANSFER CONTROL	)	
CIRCUIT IN SYSTEM LSI	)	

**SUBMISSION OF CERTIFIED COPY OF PRIORITY DOCUMENT**

Commissioner for Patents  
P.O. Box 1450  
Alexandria, VA 22313-1450

Sir:

The benefit of the filing date of the following prior foreign application in the following foreign country is hereby requested, and the right of priority provided in 35 U.S.C. § 119 is hereby claimed:

Japanese Patent Application No. 2003-107949

Filed: April 11, 2003

In support of this claim, enclosed is a certified copy of said prior foreign application. Said prior foreign application was referred to in the oath or declaration. Acknowledgment of receipt of the certified copy is requested.

Respectfully submitted,

BURNS, DOANE, SWECKER & MATHIS, L.L.P.

Date: October 7, 2003

By: 

Platon N. Mandros  
Registration No. 22,124

P.O. Box 1404  
Alexandria, Virginia 22313-1404  
(703) 836-6620

日 本 国 特 許 庁  
JAPAN PATENT OFFICE

別紙添付の書類に記載されている事項は下記の出願書類に記載されている事項と同一であることを証明する。

This is to certify that the annexed is a true copy of the following application as filed with this Office

出 願 年 月 日

Date of Application:

2003年 4月11日

出 願 番 号

Application Number:

特願2003-107949

[ST.10/C]:

[JP2003-107949]

出 願 人

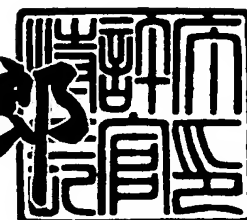
Applicant(s):

株式会社ルネサステクノロジ

2003年 6月 9日

特 許 庁 長 官  
Commissioner,  
Japan Patent Office

太田信一郎



出証番号 出証特2003-3044855

【書類名】 特許願

【整理番号】 543957JP01

【提出日】 平成15年 4月11日

【あて先】 特許庁長官殿

【国際特許分類】 G06F 12/00  
G06F 12/02

【発明者】

【住所又は居所】 東京都千代田区丸の内二丁目 2 番 3 号 三菱電機株式会社  
社内

【氏名】 樋口 良平

【特許出願人】

【識別番号】 503121103

【氏名又は名称】 株式会社ルネサステクノロジ

【代理人】

【識別番号】 100089118

【弁理士】

【氏名又は名称】 酒井 宏明

【手数料の表示】

【予納台帳番号】 036711

【納付金額】 21,000円

【提出物件の目録】

【物件名】 明細書 1

【物件名】 図面 1

【物件名】 要約書 1

【ブルーフの要否】 要

【書類名】 明細書

【発明の名称】 システム L S I におけるデータ転送制御回路

【特許請求の範囲】

【請求項 1】 システム L S I における複数のバスマスタが共通に 1 つの外部デバイスをアクセスする場合のデータ転送を制御するデータ転送制御回路であって、

前記複数のバスマスタのうちに少なくとも 1 つのバスマスタは、データリード要求を発行する際にデータ先読み指示を行う機能を有し、

アドレス生成指示を受けて、前記バスマスタが発行するアドレス信号に基づき前記外部デバイスのアドレス信号を生成する外部アドレス生成手段と、

前記データ先読み指示を行う機能を有するバスマスタが発行する当該データ先読み指示を伴うデータリード要求を受けて、前記アドレス生成指示を発生して前記外部アドレス生成手段に今回の通常読み出しを行うアドレスと次回の先読みを行うアドレスとを連続して生成させ、今回の通常読み出しが終了したときに当該データリード要求を発行したバスマスタ以外の他のバスマスタがデータリード要求を発行していないことを条件に前記次回の先読みアドレスによる読み出しを実行する外部デバイス制御手段と、

前記今回の通常読み出しアドレスによって読み出された通常データを保持するデータ保持手段と、

前記次回の先読みアドレスによって読み出された先読みデータを記憶する先読みデータ記憶手段と、

を備えたことを特徴とするシステム L S I におけるデータ転送制御回路。

【請求項 2】 前記複数のバスマスタのうちに少なくとも 1 つのバスマスタは、データリード要求を発行する際に複数のデータ保持領域に対するデータ先読み指示をそれぞれ行う機能を有し、

前記先読みデータ記憶手段を前記データ先読み指示の数分設け、

前記外部デバイス制御手段は、前記データ先読み指示を行う機能を有するバスマスタが発行する当該データ先読み指示を伴うデータリード要求を受けて、前記次回の読み出しアドレスによって読み出された先読みデータを当該データ先読み

指示に対応する前記先読みデータ記憶手段に保持させる、

ことを特徴とする請求項 1 に記載のシステム L S I におけるデータ転送制御回路。

【請求項 3】 前記データ先読み指示機能を有するバスマスタは、先読みするデータのアドレス計算方法を指示する機能を有し、

前記外部デバイス制御手段は、前記バスマスタから指示された計算方法に従って前記外部アドレス生成手段に先読みデータのアドレスを生成させる、

ことを特徴とする請求項 1 または 2 に記載のシステム L S I におけるデータ転送制御回路。

【請求項 4】 システム L S I における複数のバスマスタが共通に 1 つの外部デバイスをアクセスする場合のデータ転送を制御するデータ転送制御回路であって、

前記バスマスタが発行するアドレス信号に先読みすると定めたアドレスが含まれるときデータ先読み指示信号を発生する指示信号発生手段と、

アドレス生成指示を受けて、前記バスマスタが発行するアドレス信号に基づき前記外部デバイスのアドレス信号を生成する外部アドレス生成手段と、

前記バスマスタが発行するデータリード要求が前記データ先読み指示信号の発生を伴うとき、前記アドレス生成指示を発生して前記外部アドレス生成手段に今回の通常読み出しを行うアドレスと次回先読みを行うアドレスとを連続して生成させ、今回の通常読み出しが終了したときに当該データリード要求を発行したバスマスタ以外の他のバスマスタがデータリード要求を発行していないことを条件に前記次回先読みアドレスによる読み出しを実行する外部デバイス制御手段と、

前記今回の通常読み出しアドレスによって読み出された通常データを保持するデータ保持手段と、

前記回次の先読みアドレスによって読み出された先読みデータを記憶する先読みデータ記憶手段と、

を備えたことを特徴とするシステム L S I におけるデータ転送制御回路。

【請求項 5】 前記データ保持手段と前記先読みデータ記憶手段は、共通す

る同じ記憶手段であることを特徴とする請求項 1 または 4 に記載のシステム L S I におけるデータ転送制御回路。

【請求項 6】 システム L S I における複数のバスマスタが共通に 1 つの外部デバイスをアクセスする場合のデータ転送を制御するデータ転送制御回路であって、

アドレス生成指示を受けて、前記バスマスタが発行するアドレス信号に基づき前記外部デバイスのアドレス信号を生成する外部アドレス生成手段と、

前記バスマスタが発行するデータリード要求を受けて、データの先読みを実行すると判断したとき、前記アドレス生成指示を発生して前記外部アドレス生成手段に通常の読み出しを行うアドレスの他に先読みを行う複数のアドレスを順次生成させ、当該データリード要求を発行したバスマスタ以外の他のバスマスタがデータリード要求を発行していないことを条件に前記複数の先読みアドレスによる読み出しを順次実行し、通常読み出し指示を受けて前記通常読み出しアドレスによる読み出しを実行する外部デバイス制御手段と、

前記複数の先読みアドレスによって読み出された複数の先読みデータをアドレス識別子によって識別可能に登録し、前記複数のアドレス識別子の中に前記バスマスタが発行するデータリード要求に伴うアドレス信号が示すアドレスと一致するものがあるか否かを判断し、一致するものがあるときは、前記登録済みの該当する先読みデータを今回の読み出しデータとして前記バスマスタに向けて送出し、一致するものがないときは、前記通常読み出し指示を発生し読み出された通常データを今回の読み出しデータとして前記バスマスタに向けて送出する先読みデータ登録手段と、

を備えたことを特徴とするシステム L S I におけるデータ転送制御回路。

【発明の詳細な説明】

【 0 0 0 1 】

【発明の属する技術分野】

この発明は、システム L S I におけるデータ転送制御回路に関するものである。

【 0 0 0 2 】

## 【従来の技術】

システムLSIにおけるデータ転送制御回路としては、例えば特許文献1に開示されたものが知られている。以下、データ転送バスの構成を明示した図10を参照して、その概要を説明する。なお、図10は、従来のシステムLSIにおけるデータ転送制御回路の構成例を示すブロック図である。

## 【0003】

図10では、2つのバスマスタ（バスマスタA901、バスマスタB902）が例示されている。バスマスタA901は、マスタバスA903aを制御し、バスマスタB902は、マスタバスB903bを制御し、それぞれ、マスタバスA903a、マスタバスB903bに接続される図示しないCPU等や、LSI外部のデバイスである外部デバイス911に対してアクセスすることを行う。

## 【0004】

マスタバスA903aとマスタバスB903bは、同様の構成であって、マスタバスA903aに示すように、アドレス信号MADDRが送出されるアドレス信号バス931と、制御信号が送出される制御信号バス932と、バスマスタが書き込むデータ（以降「ライトデータ」という）MDWが送出されるライトデータ信号バス933と、バスマスタが外部デバイス911等から読み出されたデータ（以降「リードデータ」という）MDR\_Eが送出されるリードデータ信号バス934とで構成されている。

## 【0005】

マスタバスA903aとマスタバスB903bとには、バスインタフェース部904が接続されている。バスインタフェース部904は、バスマスタA901、バスマスタB902が外部デバイス911をアクセスする際に制御するマスタバスA903a、マスタバスB903bのプロトコルと外部デバイス911が使用する別のプロトコルとの変換を行う機能を有する。

## 【0006】

バスインタフェース部904と外部デバイス911との間には、データ保持部906、908とデータバッファ907と外部デバイス制御部909と外部アドレス生成部910とが設けられている。外部アドレス生成部910は、バスイン

タフェース部 9 0 4 にアドレス信号バス 9 5 1 を介して接続され、また、外部デバイス 9 1 1 にアドレス信号バス 9 6 1 を介して接続されている。外部デバイス制御部 9 0 9 は、バスインタフェース部 9 0 4 に制御信号バス 9 5 2 を介して接続され、また、外部デバイス 9 1 1 に制御信号バス 9 6 2 を介して接続されている。

## 【 0 0 0 7 】

データ保持部 9 0 8 のリードデータ出力端は、バスインタフェース部 9 0 4 にリードデータ信号バス 9 5 3 を介して接続され、リードデータ入力端は、データバッファ 9 0 7 のリードデータ出力端に接続されている。データ保持部 9 0 6 のライトデータ入力端は、バスインタフェース部 9 0 4 にライトデータ信号バス 9 5 4 を介して接続され、ライトデータ出力端は、データバッファ 9 0 7 のライトデータ入力端に接続されている。データバッファ 9 0 7 のリード・ライトのデータ入出力端は、外部デバイス 9 1 1 にデータ信号バス 9 6 3 を介して接続されている。

## 【 0 0 0 8 】

外部デバイス 9 1 1 は、例えば S D R A M ( S y n c h r o n o u s D R A M ) である。外部アドレス生成部 9 1 0 は、外部デバイス制御部 9 0 9 の制御下に、外部デバイス 9 1 1 のアドレス信号を生成する。データバッファ 9 0 7 は、外部デバイス制御部 9 0 9 の制御下に、データ保持部 9 0 6 が保持するライトデータ信号を取り込み外部デバイス 9 1 1 に出力し、また外部デバイス 9 1 1 が出力するリードデータ信号を取り込みデータ保持部 9 0 8 に保持させることを行う。

## 【 0 0 0 9 】

次に、動作について説明する。この発明では、上記のように構成されるシステム L S I におけるデータ転送制御回路において、バスマスタが外部デバイスからデータを読み出すデータリード動作を問題にしているので、ここでは、バスマスタ A 9 0 1 による外部デバイス 9 1 1 からのデータリード動作について説明する。外部デバイスにデータを書き込むデータライト動作の説明は省略する。

## 【 0 0 1 0 】

なお、アドレス信号 E A D D R が送出されるアドレス信号バス 9 5 1 と、制御



信号が送出される制御信号バス952と、リードデータ信号EDRが送出されるリードデータ信号バス953と、ライトデータ信号EDWが送出されるライトデータ信号バス954との全体は、Eバス905と称する。そして、各バスに送出される信号を、Eバスアドレス信号、Eバス制御信号、Eバスリードデータ信号なる呼称を用いて指定することとする。

## 【0011】

また、外部アドレス生成部910と外部デバイス911との間のアドレス信号バス961と、外部デバイス制御部909と外部デバイス911との間の制御信号バス962と、データバッファ907と外部デバイス911との間のデータ信号バス963との全体は、外部バスと称する。そして、各バスに送出される信号を、外部バスアドレス信号、外部バス制御信号、外部バスリードデータ信号なる呼称を用いて指定することとする。

## 【0012】

バスマスタA901は、制御信号バス932にデータリードを行うために必要な制御信号を出力する。同時に、リードする外部デバイス911のアドレス信号MADDRをアドレス信号バス931に出力する。

## 【0013】

バスインタフェース部904は、データリードのための制御信号が制御信号バス932に出力されると、アドレス信号バス931上のアドレス信号MADDRが外部デバイス911へのアドレス信号であるか否かを確認する。今の例では、アドレス信号バス931上のアドレス信号MADDRは、外部デバイス911へのアドレス信号であるので、バスインタフェース部904は、Eバス905に対して外部デバイス911のリード動作を行う。

## 【0014】

すなわち、バスインタフェース部904は、制御信号バス952に、外部デバイス911をリードするために必要なEバス制御信号を出力する。同時に、外部デバイス911をアクセスするためのEバスアドレス信号EADDRをアドレス信号バス951に出力する。

## 【0015】

外部デバイス制御部 9 0 9 は、制御信号バス 9 5 2 から E バス制御信号を受け取り、外部デバイス 9 1 1 のアクセスに必要な外部バス制御信号を生成し、外部デバイス 9 1 1 に対して出力する。同時に、外部アドレス生成部 9 1 0 に対してアドレス生成を指示する。また、データバッファ 9 0 7 に対して外部バスリードデータ信号の取り込みを指示する。

## 【 0 0 1 6 】

外部アドレス生成部 9 1 0 は、外部デバイス制御部 9 0 9 の指示に従ってバスインタフェース部 9 0 4 から E バスアドレス信号 E A D D R を受け取ると、外部デバイス 9 1 1 のアクセスに必要な外部バスアドレス信号を生成し、外部デバイス 9 1 1 に対して出力する。

## 【 0 0 1 7 】

その結果、外部デバイス 9 1 1 では、外部バス制御信号と外部バスアドレス信号とによってデータリードが行われる。外部デバイス 9 1 1 が出力する外部バスリードデータ信号は、データバッファ 9 0 7 を通してデータ保持部 9 0 8 に入力され、一時保持された後、E バスリードデータ信号 E D R として E バス 9 0 4 のリードデータ信号バス 9 5 3、バスインタフェース部 9 0 4 を通してマスタバス A 9 0 3 a 内のリードデータ信号バス 9 3 4 にリードデータ信号 M D R \_ E として送出され、バスマスタ A 9 0 1 に取り込まれる。

## 【 0 0 1 8 】

次に、図 1 1 を参照して、データリード動作時のタイミング関係を説明する。なお、図 1 1 は、図 1 0 に示すシステム L S I におけるデータ転送制御回路において実施されるデータリード動作時におけるタイミング関係を説明するタイムチャートである。外部デバイス 9 1 1 は、上記のように S D R A M であるとしている。

## 【 0 0 1 9 】

図 1 1 では、信号線の項が、マスタバス側と E バス側と外部バス側とに分けて示されている。マスタバス側の信号としては、R E Q、A C K、E N D、R W、M A D D R、M D R \_ E および M D W が示されている。R E Q、A C K、E N D、R W は、図 1 0 に示す制御信号バス 9 3 2 上に送出される制御信号である。R

E Qはバスアクセス要求信号を示し、ACKはバスアクセス許可信号を示し、ENDはバスアクセス終了信号を示し、RWはリード／ライト信号を示している。その他の信号MADDR、MDR\_\_EおよびMDWは前述した通りである。

## 【0020】

また、Eバス側の信号としては、EREQ、EEND、ERW、EADDR、EDRおよびEDWが示されている。EREQ、EEND、ERWは、図10に示す制御信号バス952に送出されるEバス制御信号である。EREQはEバスアクセス要求信号を示し、EENDはEバスアクセス終了信号を示し、ERWはEバスリード／ライト信号を示している。その他の信号EADDR、EDRおよびEDWは前述した通りである。

## 【0021】

そして、外部バス側の信号としては、前述した制御信号とアドレス信号とデータ信号とが示されている。なお、外部バス制御信号には、行活性コマンドAC、NOPコマンドNP、リードコマンドRD、バンク非活性コマンドPRなどがあり、SDRAMコマンドはそれらの組み合わせによって定義される。

## 【0022】

さて、図11において、クロックサイクル“1”にてバスマスタA901は、マスタバスA903aに、バスアクセス要求信号REQ“R0”を出力し、バスアクセス許可信号ACK“R0”を確認してリード／ライト信号RW、アドレス信号MADDR“R0”を出力する。リード／ライト信号RWには、バスアクセスがリードアクセスであることを示す値“read”が出力されている。

## 【0023】

バスインタフェース部904は、バスアクセス要求信号REQ“R0”が出力されると、アドレス信号MADDR“R0”を見て、外部デバイス911に対するアドレスであると判断してマスタバスA903aにバスアクセス許可信号ACK“R0”を出力する。

## 【0024】

同時に、バスインタフェース部904は、Eバス905に、Eバスアクセス要求信号EREQ“R1”、Eバスリード／ライトERW信号、Eバスアドレス信

号EADDR“R0”を出力する。Eバスリード／ライト信号ERWには、Eバスアクセスがリードアクセスであることを示す値“read”が出力されている。

#### 【0025】

外部デバイス制御部909は、バスインタフェース部904からEバスアクセス要求信号EREQ“R1”を受け取り、外部デバイス911に対し、クロックサイクル“1”～“5”の各クロックに同期して、SDRAMアクセスに必要な外部バス制御信号である行活性コマンドAC、NOPコマンドNP、リードコマンドRD、NOPコマンドNP、バンク非活性コマンドPRをこの順に出力する。

#### 【0026】

外部アドレス生成部910は、バスインタフェース部904からEバスアドレス信号EADDR“R0”を受け取り、外部デバイス911に対し、SDRAMアクセスに必要な外部バスアドレス信号を出力する。この場合、アドレスを行アドレス“R0”と列アドレス“C0”とに時分割して出力する。具体的には、外部アドレス生成部910は、外部デバイス制御部909からの外部アドレス生成指示を受けてEバスアドレス信号EADDRから行アドレス“R0”と列アドレス“C0”を生成する。そして、クロックサイクル“1”にて行アドレス“R0”を出力し、クロックサイクル“3”にて列アドレス“C0”を出力する。

#### 【0027】

その結果、ここでは、SDRAMのCASレイテンシは2クロックであるとしているので、クロックサイクル“5”にてSDRAMから読み出されたリードデータ信号“R0”がデータバッファ907に入力される。データバッファ907に入力されたリードデータ信号“R0”は、外部デバイス909の制御下にデータ保持部908に取り込まれて一時保持され、クロックサイクル“6”にてEバスリードデータ信号EDR“R0”としてEバス905のリードデータ信号バス953に出力される。Eバスリードデータ信号EDR“R0”は、バスインタフェース部904を通して同じクロックサイクル“6”にてリードデータ信号MDR\_E“R0”としてマスタバスA903aのリードデータ信号バス934に出

力される。

#### 【0028】

このとき、バスインタフェース部904は、同じクロックサイクル“6”にてバスアクセス終了信号END“R0”をマスタバスA903aの制御信号バス932に出力する。バスマスタA901は、このバスアクセス終了信号END信号“R0”を見て、マスタバスA903aのリードデータ信号バス934からリードデータ信号MDR\_\_E“R0”を取り込む。なお、バスインタフェース部904は、同じクロックサイクル“6”にてEバスアクセス終了信号EEND“R1”を外部デバイス制御部909に対して出力する。

#### 【0029】

次いで、2回目のバスアクセスでは、外部デバイス制御部909は、バスインタフェース部904からEバスアクセス要求信号EREQ“R1”を受け取り、外部デバイス911に対し、クロックサイクル“8”～“12”の各クロックに同期して、同様に外部バス制御信号である行活性コマンドAC、NOPコマンドNP、リードコマンドRD、NOPコマンドNP、バンク非活性コマンドPRをこの順に出力する。そして、クロックサイクル“13”にて終了処理を行う。

#### 【0030】

このように、従来のデータ転送制御回路では、1回目のバスアクセス（SDRAMアクセス）が6クロックサイクル（クロックサイクル“1”～“6”）を要して行われる。2回目のバスアクセスも同様の手順で6クロックサイクル（クロックサイクル“8”～“13”）を要して行われている。

#### 【0031】

##### 【特許文献1】

特開2001-229074号公報（0019～0023、図1）

#### 【0032】

##### 【発明が解決しようとする課題】

しかしながら、従来のシステムLSIにおけるデータ転送制御回路では、外部デバイス、例えばSDRAMにアクセスするとき、断続的に連続した領域にアクセスする場合でも、一時SDRAMを非活性化しなければならずバス使用効率が

悪いという問題がある。

【 0 0 3 3 】

また、バスマスタからの要求がある度に S D R A M をアクセスするので、アクセスが集中すると、バスバンド幅が足りなくなり、データ転送効率が低下するという問題もある。

【 0 0 3 4 】

この発明は、上記に鑑みてなされたもので、外部デバイスにアクセスするバスが空いているときにデータの先読みを実行する手段を備えたシステム L S I におけるデータ転送制御回路を得ることを目的とする。

【 0 0 3 5 】

【課題を解決するための手段】

上記目的を達成するため、この発明にかかるシステム L S I におけるデータ転送制御回路は、システム L S I における複数のバスマスタが共通に 1 つの外部デバイスをアクセスする場合のデータ転送を制御するデータ転送制御回路であって、前記複数のバスマスタのうちに少なくとも 1 つのバスマスタは、データリード要求を発行する際にデータ先読み指示を行う機能を有し、アドレス生成指示を受けて、前記バスマスタが発行するアドレス信号に基づき前記外部デバイスのアドレス信号を生成する外部アドレス生成手段と、前記データ先読み指示を行う機能を有するバスマスタが発行する当該データ先読み指示を伴うデータリード要求を受けて、前記アドレス生成指示を発生して前記外部アドレス生成手段に今回の通常読み出しを行うアドレスと次の先読みを行うアドレスとを連続して生成させ、今回の通常読み出しが終了したときに当該データリード要求を発行したバスマスタ以外の他のバスマスタがデータリード要求を発行していないことを条件に前記次の先読みアドレスによる読み出しを実行する外部デバイス制御手段と、前記今回の通常読み出しアドレスによって読み出された通常データを保持するデータ保持手段と、前記次の先読みアドレスによって読み出された先読みデータを記憶する先読みデータ記憶手段とを備えている。

【 0 0 3 6 】

この発明によれば、データリード要求を発行する際にデータ先読み指示を行う

機能を有するバスマスタは、外部デバイスである例えば S D R A M の連続したアドレスを断続的にアクセスする場合に、あるアドレスをアクセスした後、バスが空いていれば次のデータを先読みして保持しておき、その後、適宜なときにその保持データを取り込むことができる。

## 【 0 0 3 7 】

つまり、後にアクセスすることが予想されるデータや後で必要となることが予想されるデータをバスが空いているときに先読みすることができるので、外部デバイスである S D R A M アクセスのオーバーヘッドを解消することができ、また S D R A M アクセスの集中を避けることができる。

## 【 0 0 3 8 】

## 【発明の実施の形態】

以下に添付図面を参照して、この発明にかかるシステム L S I におけるデータ転送制御回路の好適な実施の形態を詳細に説明する。

## 【 0 0 3 9 】

## 実施の形態 1 .

図 1 は、この発明の実施の形態 1 であるシステム L S I におけるデータ転送制御回路の構成を示すブロック図である。図 1 では、2 つのバスマスタ（バスマスタ A 1 0 1 , バスマスタ B 1 0 2 ）が例示されている。

## 【 0 0 4 0 】

バスマスタ A 1 0 1 は、マスタバス A 1 0 3 a を制御し、マスタバス A 1 0 3 a に接続される図示しない C P U 等や、L S I 外部のデバイスである外部デバイス 1 1 3 に対してアクセスする従前のバスアクセス機能の他、データ先読み指示信号 1 2 0 を発生する機能を備えている。

## 【 0 0 4 1 】

一方、バスマスタ B 1 0 2 は、マスタバス B 1 0 3 b を制御し、マスタバス B 1 0 3 b に接続される図示しない C P U 等や、L S I 外部のデバイスである外部デバイス 1 1 3 に対してアクセスする従前のバスアクセス機能を備えたものである。

## 【 0 0 4 2 】

マスタバスA103aとマスタバスB103bは、同様の構成であって、マスタバスA103aに示すように、アドレス信号MADDRが送出されるアドレス信号バス131と、制御信号が送出される制御信号バス132と、バスマスタが書き込むデータ（以降「ライトデータ」という）MDWが送出されるライトデータ信号バス133と、バスマスタが外部デバイス113等から読み出されたデータ（以降「リードデータ」という）MDR\_Eが送出されるリードデータ信号バス134とで構成されている。

## 【0043】

マスタバスA103aとマスタバスB103bとには、バスインタフェース部104が接続されている。バスインタフェース部104は、バスマスタA101、バスマスタB102が外部デバイス113をアクセスする際に制御するマスタバスA103a、マスタバスB103bのプロトコルと外部デバイス113が使用する別のプロトコルとの変換を行う機能を有する。

## 【0044】

バスインタフェース部104と外部デバイス113との間には、データ保持部106、108とデータバッファ107と先読みデータ記憶部109とデータ選択部110と外部デバイス制御部111と外部アドレス生成部112とが設けられている。

## 【0045】

外部アドレス生成部112は、バスインタフェース部104にアドレス信号バス151を介して接続され、また、外部デバイス113にアドレス信号バス130を介して接続されている。外部デバイス制御部111は、バスインタフェース部104に制御信号バス152を介して接続され、また、外部デバイス113に制御信号バス131を介して接続されている。外部デバイス制御部111には、バスマスタA101からデータ先読み指示信号120が入力され、またアドレス信号バス151上のアドレス信号EADDRが入力されている。

## 【0046】

データ保持部106のライトデータ入力端は、バスインタフェース部104にライトデータ信号バス154を介して接続され、ライトデータ出力端は、データ



バッファ 1 0 7 のライトデータ入力端に接続されている。データバッファ 1 0 7 のリード・ライトのデータ入出力端は、外部デバイス 1 1 3 にデータ信号バス 1 3 2 を介して接続され、リードデータ出力端には、データ保持部 1 0 8 と先読みデータ記憶部 1 0 9 とのリードデータ入力端がそれぞれ接続されている。

## 【 0 0 4 7 】

データバッファ 1 0 7 は、外部デバイス制御部 1 1 1 の制御下に、データ保持部 1 0 6 が保持するライトデータ信号を取り込み外部デバイス 1 1 3 に出力し、また外部デバイス 1 1 3 が出力するリードデータ信号を取り込みデータ保持部 1 0 8 と先読みデータ記憶部 1 0 9 とに保持させることを行う。先読みデータ記憶部 1 0 9 は、データバッファ 1 0 7 が出力するリードデータ信号を外部デバイス制御部 1 1 1 からの先読みデータ記憶制御信号 1 2 1 に従って取り込むようになっている。

## 【 0 0 4 8 】

データ保持部 1 0 8 と先読みデータ記憶部 1 0 9 とのリードデータ出力端は、それぞれデータ選択部 1 1 0 のデータ入力端に接続されている。データ選択部 1 1 0 のデータ出力端は、バスインタフェース部 1 0 4 にリードデータ信号バス 1 5 3 を介して接続されている。データ選択部 1 1 0 は、外部デバイス制御部 1 1 1 からのデータ選択制御信号 1 2 2 に従ってデータ保持部 1 0 8 と先読みデータ記憶部 1 0 9 の一方からリードデータを取り出しリードデータ信号バス 1 5 3 に送出するようになっている。

## 【 0 0 4 9 】

外部デバイス 1 1 3 は、例えば S D R A M ( S y n c h r o n o u s D R A M ) である。外部アドレス生成部 1 1 2 は、外部デバイス制御部 1 1 1 の制御下に、外部デバイス 1 1 3 のアドレス信号を生成する。

## 【 0 0 5 0 】

次に、以上のように構成されるシステム L S I におけるデータ転送制御回路において実施される外部デバイスからデータを読み出すデータリード動作について説明する。外部デバイスにデータを書き込むデータライト動作については説明を省略する。

## 【0051】

なお、アドレス信号EADDRが送出されるアドレス信号バス151と、制御信号が送出される制御信号バス152と、リードデータ信号EDRが送出されるリードデータ信号バス153と、ライトデータ信号EDWが送出されるライトデータ信号バス154との全体は、Eバス105と称する。そして、各バスに送出される信号を、Eバスアドレス信号、Eバス制御信号、Eバスリードデータ信号なる呼称を用いて指定することとする。

## 【0052】

また、外部アドレス生成部112と外部デバイス113との間のアドレス信号バス130と、外部デバイス制御部111と外部デバイス113との間の制御信号バス131と、データバッファ107と外部デバイス113との間のデータ信号バス132との全体は、外部バスと称する。そして、各バスに送出される信号を、外部バスアドレス信号、外部バス制御信号、外部バスリードデータ信号なる呼称を用いて指定することとする。

## 【0053】

バスマスタA101が外部デバイス113であるSDRAMからデータを読み出すデータリード動作では、バスマスタA101は、制御信号バス132にデータリードを行うために必要な制御信号を出力する。同時に、リードする外部デバイス113のアドレス信号をアドレス信号バス131に出力する。また、バスマスタA101は、必要に応じてデータ先読み指示信号120を外部デバイス制御部111に与えるようになっている。例えば、SDRAMの連続した領域を断続的にアクセスする場合に、後にアクセスすることが予想されるデータがあるとき、あるいは、後に必要となることが予想されるデータがあるときなどにデータ先読み指示信号120を発生する。

## 【0054】

バスインタフェース部104は、データリードのための制御信号が制御信号バス132に出力されると、アドレス信号バス131上のアドレス信号MADDRが外部デバイス113へのアドレス信号であるか否かを確認する。今の例では、アドレス信号バス131上のアドレス信号MADDRは、外部デバイス113へ

のアドレス信号であるので、バスインタフェース部 1 0 4 は、E バス 1 0 5 に対して外部デバイス 1 1 3 からデータを読み出すリード動作を行う。

## 【 0 0 5 5 】

すなわち、バスインタフェース部 1 0 4 は、制御信号バス 1 5 2 に、外部デバイス 1 1 3 をリードするために必要な E バス制御信号を出力する。同時に、外部デバイス 1 1 3 をアクセスするための E バスアドレス信号 E A D D R をアドレス信号バス 1 5 1 に出力する。

## 【 0 0 5 6 】

外部デバイス制御部 1 1 1 は、制御信号バス 1 5 2 から E バス制御信号を受け取り、外部デバイス 1 1 3 のアクセスに必要な外部バス制御信号を生成し、外部デバイス 1 1 3 に対して出力する。同時に、外部アドレス生成部 1 1 2 に対してアドレス生成を指示する。また、データバッファ 1 0 7 に対して外部バスリードデータ信号の取り込みを指示する。

## 【 0 0 5 7 】

このとき、外部デバイス制御部 1 1 1 は、制御信号バス 1 5 2 から E バス制御信号を受け取ると、バスマスタ A 1 0 1 からデータ先読み指示信号 1 2 0 が入力しているか否かを確認する。そして、バスマスタ A 1 0 1 がデータ先読み指示信号 1 2 0 を伴うリードアクセスを要求しているが、同時にバスマスタ B 1 0 2 もリードアクセスを要求している場合は、まずバスマスタ B 1 0 2 のリードアクセスを優先して実行し、その後、バスマスタ A 1 0 1 のリードアクセス（データの先読み）を実行するようになっている。

## 【 0 0 5 8 】

そして、外部デバイス制御部 1 1 1 は、データの先読みを実行するときは、アドレス信号バス 1 5 1 上のアドレス信号 E A D D R に基づきアクセスするアドレスを監視し、外部アドレス生成部 1 1 2 に対し、1 回目のリードアクセスで使用したアドレスをインクリメントまたはデクリメントして 2 回目のリードアクセスで使用するアドレスを生成させる指示を出す。また、外部デバイス制御部 1 1 1 は、先読みデータ記憶部 1 0 9 に対し先読みデータ記憶制御信号 1 2 1 を出力する。同時に、データ選択部 1 1 0 に対し、先読みデータ記憶部 1 0 9 の出力を

選択させるデータ選択制御信号122を出力することを行う。

【0059】

外部アドレス生成部112は、外部デバイス制御部111の指示に従ってバスインタフェース部104からEバスアドレス信号EADDRを受け取ると、外部デバイス113のアクセスに必要な外部バスアドレス信号を生成し、外部デバイス113に対して出力する。

【0060】

その結果、外部デバイス113では、外部バス制御信号と外部バスアドレス信号とによってデータリードが行われる。外部デバイス113が出力する外部バスリードデータ信号は、1回目のリードアクセスでは、データバッファ107を通してデータ保持部108に入力され、保持される。2回目のリードアクセスでは、外部デバイス制御部111が先読みデータ記憶制御信号121を発生しているため、外部デバイス113が出力する外部バスリードデータ信号は、データバッファ107を通して先読みデータ記憶部109に入力され、保持される。

【0061】

外部デバイス制御部111は、このデータ先読み動作を先読みデータ記憶部109に余裕がある場合でもバスマスタA101から次のアクセス要求が入力されない場合は終了する。また、外部デバイス制御部111は、このデータ先読み動作を先読みデータ記憶部109が例えば1データ分の容量で一杯になると終了する。

【0062】

そして、まずデータ保持部108に保持された外部バスリードデータ信号がデータ選択部110を通してEバスリードデータ信号EDRとしてリードデータ信号バス154に送出され、その後、先読みデータ記憶部109に保持された外部バスリードデータ信号がデータ選択部110を通してEバスリードデータ信号EDRとしてリードデータ信号バス154に送出される。これらの外部バスリードデータ信号は、バスインタフェース部104を通してマスタバスA103a内のリードデータ信号バス134にリードデータ信号MDR\_\_Eとして送出され、バスマスタA101に取り込まれる。

## 【0063】

次に、図2を参照して、データリード動作時のタイミング関係を説明する。なお、図2は、図1に示すシステムLSIにおけるデータ転送制御回路において実施されるデータリード動作時におけるタイミング関係を説明するタイムチャートである。外部デバイス113は、上記のようにSDRAMを想定している。

## 【0064】

図2では、信号線の項が、マスタバス側とEバス側と外部バス側とに分けて示されている。マスタバス側の信号としては、REQ、ACK、END、RW、MADDR、MDR\_EおよびMDWが示されている。REQ、ACK、END、RWは、図1に示す制御信号バス132上に送出される制御信号である。REQはバスアクセス要求信号を示し、ACKはバスアクセス許可信号を示し、ENDはバスアクセス終了信号を示し、RWはリード/ライト信号を示している。その他の信号MADDR、MDR\_EおよびMDWは前述した通りである。

## 【0065】

また、Eバス側の信号としては、EREQ、EEND、ERW、データ先読み指示、EADDR、EDRおよびEDWが示されている。EREQ、EEND、ERWは、図1に示す制御信号バス152に送出されるEバス制御信号である。EREQはEバスアクセス要求信号を示し、EENDはEバスアクセス終了信号を示し、ERWはリード/ライト信号を示している。その他の信号であるデータ先読み指示、EADDR、EDRおよびEDWは前述した通りである。

## 【0066】

「リードデータスイッチ」は、データ選択選択信号122によって切替制御されるデータ選択部110を示し、「先読みバッファ」は先読みデータ記憶制御信号121によって制御される先読みデータ記憶部109を示している。そして、外部バス側の信号としては、前述した制御信号とアドレス信号とデータ信号とが示されている。なお、データ先読み動作時の外部バス制御信号には、行活性コマンドAC、NOPコマンドNP、リードコマンドRDがあり、SDRAMコマンドはそれらの組み合わせによって定義される。図11に示したバンク非活性コマンドPRは、不使用となっている。

## 【0067】

さて、図2において、クロックサイクル“1”にてバスマスタA101は、マスタバス103aに、バスアクセス要求信号REQ“R0”、リード／ライト信号RW、アドレス信号MADDR“R0”を出力する。リード／ライト信号RWには、バスアクセスがリードアクセスであることを示す値“read”が出力されている。

## 【0068】

バスインタフェース部104は、バスアクセス要求信号REQ“R0”が出力されると、アドレス信号MADDR“R0”を見て、外部デバイス113に対するアドレスであると判断してマスタバス103aにバスアクセス許可信号ACK“R0”を出力する。

## 【0069】

同時に、バスインタフェース部104は、Eバス105に、Eバスアクセス要求信号EREQ“R1”、Eバスリード／ライトERW信号、Eバスアドレス信号EADDR“R0”を出力する。Eバスリード／ライト信号ERWには、Eバスアクセスがリードアクセスであることを示す値“read”が出力されている。

## 【0070】

外部デバイス制御部111は、バスインタフェース部104からEバスアクセス要求信号EREQ“R1”を受け取るとともに、同じクロックサイクル“1”にてバスマスタA101から“先読み指示”を受け取るので、外部デバイス113に対し、クロックサイクル“1”～“4”の各クロックに同期して、SDRAMアクセスに必要な外部バス制御信号である行活性コマンドAC、NOPコマンドNP、リードコマンドRD、リードコマンドRDをこの順に出力する。その後のクロックサイクル“5”～“7”では、NOPコマンドNPを順々に出力する。

## 【0071】

なお、外部デバイス制御部111は、先読み動作を実行する初回であるので、先読みデータ記憶部109には先読みデータ記憶制御信号121を出力するが、

データ選択部110には、データ保持部108を選択させるデータ選択信号122を出力する。また、クロックサイクル“1”における行活性コマンドACによって活性化されたSDRAMのバンク・行は、その後、活性化された状態を維持するようになっている。そして、外部デバイス制御部111は、活性化されているSDRAMのバンクと行を記憶しており、活性化されているバンクの行と違うアクセスが発生したときは、活性化されているバンクの行を非活性化し、新たにアクセスするバンクの行を活性化する機能を有している。

## 【0072】

外部アドレス生成部112は、バスインタフェース部104からEバスアドレス信号EADDR“R0”を受け取り、外部デバイス113に対し、SDRAMアクセスに必要なアドレス信号を出力する。この場合、アドレスを行アドレス“R0”と列アドレス“C0”とに時分割して出力する。具体的には、外部アドレス生成部112は、外部デバイス制御部111からの外部アドレス生成指示を受けてEバスアドレス信号EADDRから行アドレス“R0”と列アドレス“C0”を生成する。そして、クロックサイクル“1”にて行アドレス“R0”を出力し、クロックサイクル“3”にて列アドレス“C0”を出力する。そして、次のクロックサイクル“4”にて次のアクセス要求時に用いる列アドレス“C1”を出力する。

## 【0073】

その結果、ここでは、SDRAMのCASレイテンシは2クロックであるとしているので、クロックサイクル“5”では最初のリードコマンドRDによってSDRAMから読み出されたリードデータ信号“R0”がデータバッファ107に出力され、クロックサイクル“6”にて2つ目のリードコマンドRDによってSDRAMから読み出されたリードデータ信号“R1”がデータバッファ107に出力される。

## 【0074】

そして、クロックサイクル“5”にて読み出されたリードデータ信号“R0”は、クロックサイクル“6”にてデータバッファ107を通してデータ保持部108に入力して一時保持され、データ選択部110からEバスリードデータ信号

EDR “R0”としてリードデータ信号バス153に出力される。Eバスリードデータ信号EDR “R0”は、同じクロックサイクル“6”にてバスインタフェース部104を通してリードデータ信号MDR\_\_E “R0”としてリードデータ信号バス134に出力される。

## 【0075】

このとき、バスインタフェース部104は、同じクロックサイクル“6”にてバスアクセス終了信号END “R0”を制御信号バス132に出力する。バスマスタA101は、このバスアクセス終了信号END信号 “R0”を見て、リードデータ信号バス134からリードデータ信号MDR\_\_E “R0”を取り込む。なお、バスインタフェース部104は、同じクロックサイクル“6”にてEバスアクセス終了信号EEND “R1”を外部デバイス制御部111に対して出力する。

## 【0076】

一方、クロックサイクル“6”にて読み出されたリードデータ信号 “R1”は、クロックサイクル“7”にてデータバッファ107を通して先読みデータ記憶部109に入力して一時保持される。

## 【0077】

次に、バスマスタA101は、クロックサイクル“8”にて、マスタバス103aにバスアクセス要求信号REQ “R1”、リード／ライト信号RW、アドレス信号MADDR “R1”を出力する。リード／ライト信号RWには、バスアクセスがリードアクセスであることを示す値 “read” が出力されている。

## 【0078】

バスインタフェース部104は、バスアクセス要求信号REQ “R1”が出力されると、アドレス信号MADDR “R1”を見て、外部デバイス113に対するアドレスであると判断して制御信号バス132にバスアクセス許可信号ACK “R1”を出力する。

## 【0079】

同時に、バスインタフェース部104は、Eバス105に、Eバスアクセス要求信号EREQ “R1”、Eバスリード／ライトERW信号、Eバスアドレス信





号EADDR“R1”を出力する。Eバスリード／ライト信号ERWには、Eバスアクセスがリードアクセスであることを示す値“read”が出力されている。

#### 【0080】

外部デバイス制御部111は、バスインタフェース部104からEバスアクセス要求信号EREQ“R1”を受け取るとともに、同じクロックサイクル“8”にてバスマスタA101から“先読み指示”を受け取るので、クロックサイクル“9”にてデータ選択部110に先読みデータ記憶部109を選択させる（リードデータスイッチ）。また、先読みデータ記憶部109に対し、先読みデータ記憶制御信号121を出力する。

#### 【0081】

その結果、先読みデータ記憶部109に保持されていたリードデータ信号“R1”は、クロックサイクル“9”にて、データ選択部110からEバスリードデータ信号EDR“R1”としてリードデータ信号バス153に出力される。Eバスリードデータ信号EDR“R1”は、同じクロックサイクル“9”にてバスインタフェース部104を通してリードデータ信号MDR\_E“R1”としてマスタバスA103aのリードデータ信号バス134に出力される。

#### 【0082】

このとき、バスインタフェース部104は、同じクロックサイクル“9”にてバスアクセス終了信号END“R1”をマスタバスA103aの制御信号バス132に出力する。バスマスタA101は、このバスアクセス終了信号END信号“R1”を見て、マスタバスA103aのリードデータ信号バス134からリードデータ信号MDR\_E“R1”を取り込む。なお、バスインタフェース部104は、同じクロックサイクル“9”にてEバスアクセス終了信号EEND“R1”を外部デバイス制御部111に対して出力する。

#### 【0083】

一方、外部デバイス制御部111は、クロックサイクル“8”にて、バスインタフェース部104からEバスアクセス要求信号EREQ“R1”を受け取ると、同じクロックサイクル“8”にて、外部デバイス113に対し、リードコマン

DRDを出力する。その後のクロックサイクル“9”～“15”では、NOPコマンドNPを順々に出力している。

【0084】

このクロックサイクル“8”にて発行されたリードコマンドRDによってSDRAMから読み出されたデータは、クロックサイクル“10”にてリードデータ“R2”としてデータバッファ107に出力される。そして、クロックサイクル“11”にて、先読みデータ記憶部108に入力され、保持される。

【0085】

このように、実施の形態1によれば、データの先読みを実行できるようにしたので、以上説明したように、従来例と同じ2回のバスアクセスを行う場合に、1回目では、6クロックサイクル（クロックサイクル“1”～“6”）を要し従来例と同じであるが、2回目では、2クロックサイクル（クロックサイクル“8”～“9”）で済み、従来例よりも大幅にアクセスサイクルを節約することができる。

【0086】

以上は、バスマスタが1つのデータアクセスを行う場合であるが、バスマスタが複数データの連続アクセス（例えば、4データのバーストアクセス）を行った場合でも同様の効果が得られる。

【0087】

また、SDRAMのように、同じ行であれば最初のアクセスのみ時間がかかるデバイスでは、行を一時活性化すると、その行のデータをいくつか読み込んでおくことができるので、同様にアクセスサイクルを節約することができる。

【0088】

そして、図1の例で言えば、バスマスタA101が要求するデータ先読み動作は、データ先読み指示信号の出力を行わないバスマスタB102からのアクセス要求が発生していない場合に行うようにしたので、バスマスタA101が連続したアドレスのアクセスを断続的に行う場合に、バスマスタA101があるアドレスをアクセスした後、バスが混雑していなければ、次のアドレスのデータを先読みして保持しておくことができる。一時保持したデータは、短いクロック数でバ

スマスタ A 1 0 1 からアクセスすることができるので、バスが混雑したときにアクセスする場合、バスの混雑を緩和することができるという効果がある。

## 【 0 0 8 9 】

実施の形態 2.

図 3 は、この発明の実施の形態 2 であるシステム L S I におけるデータ転送制御回路の構成を示すブロック図である。なお、図 3 では、図 1 に示した構成と同一ないしは同等である構成要素には、同一の符号が付されている。ここでは、この実施の形態 2 に関わる部分を中心に説明する。

## 【 0 0 9 0 】

図 3 に示すシステム L S I におけるデータ転送制御回路では、図 1 に示した構成において、バスマスタ A 1 0 1 に代えてバスマスタ A 3 0 1 が設けられ、外部デバイス制御部 1 1 1 に代えて外部デバイス制御部 3 0 2 が設けられ、先読みデータ記憶部 1 0 9 に代えて先読みデータ記憶部 3 0 3, 3 0 4 が設けられ、データ選択部 1 1 0 に代えてデータ選択部 3 0 5 が設けられている。

## 【 0 0 9 1 】

バスマスタ A 3 0 1 は、データ先読み指示信号 3 1 0, 3 1 1 を外部デバイス制御部 3 0 2 に出力する。先読みデータ記憶部 3 0 3, 3 0 4 は、それぞれ S D R A M のバンク 0 とバンク 1 に対応している。すなわち、この実施の形態 2 は、S D R A M が 2 バンク構成である場合、つまり 2 つの異なるアドレス領域がある場合の構成例であるということができる。

## 【 0 0 9 2 】

外部デバイス制御部 3 0 2 には、E バスアドレス信号バス 1 5 1 の中の S D R A M バンクアドレスを示すアドレス信号（ここでは、「S D R A M バンクアドレス信号」という）3 1 3 が入力されている。外部デバイス制御部 3 0 2 は、先読みデータ記憶部 3 0 3, 3 0 4 を制御する先読みデータ記憶制御信号 3 1 2 を発生するようになっている。

## 【 0 0 9 3 】

データ選択部 3 0 5 は、外部デバイス制御部 3 0 2 からデータ選択信号 1 2 2 を受けて、データ保持部 1 0 8 と先読みデータ記憶部 3 0 3, 3 0 4 のいずれか

1 つの出力を選択して E バスリードデータバス 1 5 3 に送出する。

【 0 0 9 4 】

次に、以上のように構成されるシステム L S I におけるデータ転送制御回路において、バスマスタ A 3 0 1 が外部デバイス 1 1 3 からデータを読み出すデータリード動作について説明する。

【 0 0 9 5 】

バスマスタ A 3 0 1 は、制御信号バス 1 3 2 にデータリードを行うために必要な制御信号を出力し、リードする外部デバイス 1 1 3 のアドレスをアドレス信号バス 1 3 1 に出力する。同時に、バスマスタ A 3 0 1 は、データ先読み指示信号 3 1 0 を外部デバイス制御部 3 0 2 に対して出力する。

【 0 0 9 6 】

バスインタフェース部 1 0 4 および E バス 1 0 5 では実施の形態 1 にて説明した動作が行われ、外部デバイス 1 1 3 から読み出したデータがバスマスタ A 3 0 1 に取り込まれる。

【 0 0 9 7 】

外部デバイス制御部 3 0 2 は、このリードアクセスを行った後、実施の形態 1 と同様に、次のアクセス要求が来ていなければ、S D R A M バンクアドレス信号 3 1 3 に基づき外部アドレス生成部 1 1 2 に指示を出し、1 回目のアクセスで利用したアドレスをインクリメントまたはデクリメントして次のアドレスを生成させる。外部デバイス制御部 3 0 2 は、このアドレスによって外部デバイス 1 1 3 のリードアクセスを制御する。読み出されたデータは、先読みデータ記憶部 3 0 3 に保持される。

【 0 0 9 8 】

なお、外部デバイス制御部 3 0 2 は、実施の形態 1 にて説明したように、このデータ先読み動作を先読みデータ記憶部 3 0 3 に余裕がある場合でもバスマスタ A 3 0 1 から次のアクセス要求が入力されない場合は終了する。また、外部デバイス制御部 3 0 2 は、このデータ先読み動作を先読みデータ記憶部 3 0 3 が例えば 1 データ分の容量で一杯になると終了する。

【 0 0 9 9 】

次に、バスマスタ A 3 0 1 からデータ先読み信号 3 1 1 の出力を伴うリードアクセスが発生したときも前記と同様の動作を行う。すなわち、外部デバイス 1 1 3 からのデータリード、次のアドレス計算、計算したアドレスを用いて外部デバイス 1 1 3 の読み出しを行う。このとき、計算したアドレス（次アドレス）で読み出したデータは、データ先読み記憶部 3 0 4 に保持される。

## 【0 1 0 0】

次に、バスマスタ A 3 0 1 からデータ先読み指示信号 3 1 0 の出力を伴うリードアクセスが発生した場合は、外部デバイス制御部 3 0 2 は、データ選択信号 1 2 2 を用いてデータ選択部 2 2 3 が先読みデータ記憶部 3 0 3 の出力を選択するようにする。これによって、外部デバイス 1 1 3 から前もって読み出されて先読みデータ記憶部 3 0 3 に保持されていたデータがデータ選択部 3 0 5 にて選択されてバスマスタ A 3 0 1 に取り込まれる。

## 【0 1 0 1】

同様に、バスマスタ A 3 0 1 からデータ先読み信号 3 1 1 の出力を伴うリードアクセスが発生した場合は、外部デバイス制御部 3 0 2 はデータ選択信号 1 2 2 により、データ選択部 3 0 5 が先読みデータ記憶部 3 0 4 の出力を選択するようにする。これによって、外部デバイス 1 1 3 から前もって読み出されて先読みデータ記憶部 3 0 4 に保持されていたデータがデータ選択部 3 0 5 で選択されてバスマスタ A 3 0 1 に取り込まれる。

## 【0 1 0 2】

このように、実施の形態 2 よれば、実施の形態 1 と同様に、外部デバイスをアクセスするバスが空いているときに次のデータを読み込むので、バス使用効率およびデータリードレスポンスの向上が図れる。併せて、バスマスタから外部デバイスの異なるアドレス領域に交互にアクセスするような場合でも、先読みが実施できるので、さらにバスの使用効率を向上させることが可能となる。

## 【0 1 0 3】

実施の形態 3.

図 4 は、この発明の実施の形態 3 であるシステム L S I におけるデータ転送制御回路の構成を示すブロック図である。なお、図 4 では、図 3 に示した構成と同

一ないしは同等である構成要素には、同一の符号が付されている。ここでは、この実施の形態 3 に関わる部分を中心に説明する。

【0104】

図 4 に示すシステム L S I におけるデータ転送制御回路では、図 3 に示した構成において、バスマスタ A 3 0 1 に代えてバスマスタ A 4 0 1 が設けられ、外部デバイス制御部 3 0 2 に代えて外部デバイス制御部 4 0 2 が設けられている。

【0105】

バスマスタ A 4 0 1 は、データ先読み指示信号 3 1 0, 3 1 1 に加えて、アドレス方向指示信号 4 1 2 を外部デバイス制御部 4 0 2 に出力するようになっている。

【0106】

外部デバイス制御部 4 0 2 は、データ先読み指示信号 3 1 0 またはデータ先読み指示信号 3 1 1 が出力されたときに、アドレス方向指示信号 4 1 2 が増加方向を指示をしているときは、外部アドレス生成部 1 1 2 に対し、次アドレスをバスマスタ A 4 0 1 が出力したアドレスからインクリメント（増加）して生成させる指示を出す。

【0107】

逆に、データ先読み指示信号 3 1 0 またはデータ先読み指示信号 3 1 1 が出力されたときに、アドレス方向指示信号 4 1 2 が減少方向を指示をしているときは、外部アドレス生成部 1 1 2 に対し、次アドレスをバスマスタ A 4 0 1 が出力したアドレスからデクリメント（減少）して生成させる指示を出すようになっている。

【0108】

実施の形態 3 では、バスマスタ A 4 0 1 が外部デバイス 1 1 3 に対して行う通常のデータリード動作と次アドレスデータの先読み動作とは、実施の形態 2 と同様に行われる。したがって、実施の形態 2 と同様の効果が得られる。

【0109】

加えて、実施の形態 3 によれば、バスマスタから外部デバイスの異なるアドレス領域に交互にアクセスすることができる場合にそれぞれのアドレス領域におい

て、アドレスの増加方向にデータ先読みを行うことも、減少方向にデータ先読みを行うこともできるので、外部デバイスアクセスの先読み動作を柔軟に行うことができるという効果がある。

#### 【0110】

実施の形態4.

図5は、この発明の実施の形態4であるシステムLSIにおけるデータ転送制御回路の構成を示すブロック図である。なお、図5では、図1に示した構成と同一ないしは同等である構成要素には、同一の符号が付されている。ここでは、この実施の形態4に関わる部分を中心に説明する。

#### 【0111】

図5に示すシステムLSIにおけるデータ転送制御回路では、図1に示した構成において、外部デバイス制御部111に代えて外部デバイス制御部501が設けられ、データ保持部108および先読みデータ記憶部109に代えてデータ記憶部502が設けられ、データ選択部110は削除されている。

#### 【0112】

実施の形態4では、バスマスタ101が外部デバイス113に対して行う通常のデータリード動作と次アドレスデータの先読み動作とは、実施の形態1と同様に行われる。このとき、通常のリードデータと先読みするデータは、図2に示したように、クロックサイクル“5”と“6”とで行われ、同時に読み込まれることはない。

#### 【0113】

そこで、実施の形態4では、図1に示したデータ保持部108と先読みデータ記憶部109とを1つのデータ記憶部502で兼用することにし、外部デバイス制御部501が、Eバスアドレス信号バス151上のアドレス信号EADDRに基づき、データ記憶部502に対し、通常のリードデータと先読みのリードデータとを保持させる保持制御信号511を出力することになっている。

#### 【0114】

そして、データ選択部110を不要とし、外部デバイス制御部501が、バスマスタA101からのリード要求に応じて、データ記憶部502に対して保持制

御信号 5 1 1 を出力し、その保持データを E バスリードデータバス 1 5 3 に送出させる制御を行うようになっている。

【 0 1 1 5 】

この実施の形態 4 によれば、実施の形態 1 と同じ効果を有するとともに、ハードウェア量・電力消費量を削減することができる。

【 0 1 1 6 】

実施の形態 5.

図 6 は、この発明の実施の形態 5 であるシステム L S I におけるデータ転送制御回路の構成を示すブロック図である。なお、図 6 では、図 1 に示した構成と同一ないしは同等である構成要素には、同一の符号が付されている。ここでは、この実施の形態 5 に関わる部分を中心に説明する。

【 0 1 1 7 】

図 6 に示すシステム L S I におけるデータ転送制御回路では、図 1 に示した構成において、バスマスタ A 1 0 1 に代えてバスマスタ A 6 0 1 が設けられ、アドレス比較部 6 0 2 が追加されている。

【 0 1 1 8 】

バスマスタ A 6 0 1 は、バスマスタ B 1 0 2 と同様に、従前のバスアクセス機能のみを備えたものである。アドレス比較部 6 0 2 は、例えば図 7 に示す構成によって、E バスアドレス信号バス 1 5 1 上のアドレス信号 E A D D R から図 1 に示したデータ先読み指示信号 1 2 0 と同等の機能を有するデータ先読み指示信号 6 1 1 を生成し、外部デバイス制御部 1 1 1 に与えるようになっている。

【 0 1 1 9 】

その結果、実施の形態 5 では、外部デバイス 1 1 3 に対する通常のデータリード動作と次アドレスデータの先読み動作とを実施の形態 1 と同様に行うことができる。したがって、ここでは、アドレス比較部 6 0 2 にて行われるデータ先読み指示信号 6 1 1 の生成動作について説明する。

【 0 1 2 0 】

図 7 は、図 6 に示すアドレス比較部 6 0 2 の構成例を示すブロック図である。図 7 において、アドレス比較部 6 0 2 は、比較アドレス保持部 7 0 1 と比較器 7



02とを備えている。

【0121】

比較アドレス保持部701には、バスマスタA601による外部デバイス113へのデータリード動作に先立って、アドレス値が書き込まれるようになっている。比較器702は、比較アドレス保持部701に書き込まれたアドレス値とEバスアドレス信号バス151上のEバスアドレス信号EADDRとを比較し、一致しているときにデータ先読み指示信号611を発生する。

【0122】

外部デバイス制御部111は、バスマスタA601がデータリード動作を行ったとき、このデータ先読み指示信号611が入力されていれば、実施の形態1にて説明したように、通常のリード動作を行った後、データの先読み動作を行うことになる。

【0123】

このように、実施の形態5によれば、実施の形態1で用いた特別なバスマスタでなくても、ユーザが意図したアドレス領域のみのデータ先読み動作を行うことができるので、実施の形態1と同じ効果が得られるのに加えて、新しいLSIを設計する際に既存回路が再利用できるという効果が得られる。

【0124】

実施の形態6.

図8は、この発明の実施の形態6であるシステムLSIにおけるデータ転送制御回路の構成を示すブロック図である。なお、図8では、図1に示した構成と同一ないしは同等である構成要素には、同一の符号が付されている。ここでは、この実施の形態6に関わる部分を中心に説明する。

【0125】

図8に示すシステムLSIにおけるデータ転送制御回路では、図1に示した構成において、バスマスタA101に代えてバスマスタA601が設けられ、外部デバイス制御部111に代えて外部デバイス制御部802が設けられ、データ保持部108および先読みデータ記憶部109に代えて先読みデータ登録部801が設けられ、データ選択部110は削除されている。

## 【 0 1 2 6 】

バスマスタ A 6 0 1 は、実施の形態 5 にて説明したように、バスマスタ B 1 0 2 と同様に従前のバスアクセス機能のみを備えたものである。先読みデータ登録部 8 0 1 は、例えば図 9 に示すように複数の先読みデータが登録できるように構成されているが、E バスアドレス信号バス 1 5 1 上の E バスアドレス信号 (E A D D R) 8 1 2 と外部アドレス生成部 1 1 2 が生成した外部バスアドレス信号 8 1 1 と外部デバイス制御部 8 0 2 が発生する指示信号 8 1 3 とが入力され、有効データ判定信号 8 1 4 を外部デバイス制御部 8 0 2 に対し出力している。

## 【 0 1 2 7 】

この実施の形態 6 では、実施の形態 4 と同様に図 1 に示したデータ保持部 1 0 8 と先読みデータ記憶部 1 0 9 とを 1 つの先読みデータ登録部 8 0 1 で兼用しているが、外部デバイス制御部 8 0 2 は、E バスアドレス信号バス 1 5 1 上の E バスアドレス信号 E A D D R が入力されていない。また、実施の形態 4 とは異なり、バスマスタ A 6 0 1 は、データ先読み信号を発生する機能を有していない。

## 【 0 1 2 8 】

したがって、実施の形態 6 では、外部デバイス制御部 8 0 2 は、データ先読み動作を行うか否かは、内部のレジスタに書かれた値に従って行うようになっている。そして、バスマスタ A 6 0 1 からのデータリード要求があった場合に、データ先読み動作を行うと判断したときは、アドレス生成指示を発生して外部アドレス生成部 1 1 2 に先読みを行う複数のアドレスを順次生成させ、当該データリード要求を発行したバスマスタ A 6 0 1 以外の他のバスマスタ B 1 0 2 がデータリード要求を発行していないことを条件に、前記複数の先読みアドレスによる読み出しを順次実行し、先読みデータ登録部 8 0 1 に保持させる制御を行う。

## 【 0 1 2 9 】

その後、外部デバイス制御部 8 0 2 は、バスマスタ A 6 0 1 からのデータリード要求があった場合に、指示信号 8 1 3 を発生して先読みデータ登録部 8 0 1 に登録有無の問い合わせを行い、先読みデータ登録部 8 0 1 からの有効データ判定信号 8 1 4 が「登録あり」を示すときは先読みデータ登録部 8 0 1 の保持データを E バスリードデータバス 1 5 3 に送出させる。一方、有効データ判定信号 8 1

4 が「登録あり」を示すときは外部アドレス生成部 1 1 2 に通常の読み出しを行うアドレス生成させて新たなデータを読み出し、その通常読み出しデータを先読みデータ登録部 8 0 1 を通して E バスリードデータバス 1 5 3 に送出させる制御を行うようになっている。

#### 【0 1 3 0】

先読みデータ登録部 8 0 1 の詳細は、後述することとし、E バスリードデータバス 1 5 3 へのデータ送出動作について図 8 を参照して説明する。すなわち、外部デバイス制御部 8 0 2 は、先読みされたデータを先読みデータ登録部 8 0 1 に保持させるとき、指示信号 8 1 3 を用いて、その先読みデータのアドレスの一部を識別子として先読みデータ登録部 8 0 1 に登録させることを行う。その後、バスマスタ A 6 0 1 からデータリード要求があった場合、外部デバイス制御部 8 0 2 は、指示信号 8 1 3 を用いて、先読みデータ登録部 8 0 1 に上記登録有無の問い合わせである比較指示を出す。

#### 【0.1 3 1】

先読みデータ登録部 8 0 1 は、比較指示を受けて、バスマスタ A 6 0 1 からのアドレスの一部（E バスアドレス信号 8 1 2）と先読みデータ登録部 8 0 1 に登録されている複数のアドレスの全部または一部とを比較し、一致するものがあるか否かを示す比較結果を有効データ判定信号 8 1 4 を用いて外部デバイス制御部 8 0 2 に通知する。

#### 【0 1 3 2】

外部デバイス制御部 8 0 2 は、有効データ判定信号 8 1 4 が「一致するものがある」を示すときは、指示信号 8 1 3 を用いて、先読みデータ登録部 8 0 1 に保持されているデータを E バスリードデータバス E バスリードデータバス 1 5 3 に出力させる。一方、外部デバイス制御部 8 0 2 は、有効データ判定信号 8 1 4 が「一致するものがない」を示すときは、新たに外部デバイス 1 1 3 からデータを読み出し、先読みデータ登録部 8 0 1 を経由して E バスリードデータバス E バスリードデータバス 1 5 3 に出力するようになっている。

#### 【0 1 3 3】

次に、図 9 を参照して先読みデータ登録部 8 0 1 について説明する。なお、図

9 (a) は、図 8 に示す先読みデータ登録部 801 の構成例を示すブロック図、図 9 (b) は図 9 (a) に示す選択アドレス信号のアドレス構成を説明する図である。

#### 【0134】

図 9 (a) において、アドレス選択部 850 は、E バスアドレス信号バス 151 上の E バスアドレス信号 812 と外部アドレス生成部 112 とが生成した外部アドレスバス 131 上の外部バスアドレス信号 811 との一方を選択し、選択アドレス信号 851 を出力する。選択アドレス信号 851 は、エントリアドレス 852 と識別アドレス 853 と構成されている。例えば図 9 (b) に示すように、E バスアドレス信号バス 151 が 32 ビット (b0～b31) 構成である場合、エントリアドレス 852 が 2 ビット (b28～b29)、識別アドレス 853 が 28 ビット (b0～b27) となっている。

#### 【0135】

エントリアドレス 852 は、エントリデコード部 854 に与えられる。エントリデコード部 854 の出力側には、4 つのエントリ (エントリ 0～3) 毎に、識別アドレス 853 を登録する識別アドレス登録部 855 と、データバッファ 107 から入力する読み取りデータ (先読みしたリードデータ) を登録する先読みデータ登録部 856 と、エントリに有効なデータおよび識別アドレスが登録されているか否かを示す有効ビットを登録する有効ビット登録部 857 とが設けられている。

#### 【0136】

エントリデコード部 854 は、エントリアドレス 852 に基づき、4 つのエントリ 0～3 の中から有効なエントリを決定する。有効データ判定部 861 には、識別アドレス 853 の他、識別アドレス登録部 855 において決定されたエントリの識別アドレス 862 と有効ビット登録部 857 において決定されたエントリの有効ビット 863 とが入力されている。有効データ判定部は、これらに基づき先読みデータ登録部 856 に有効なデータが登録されているか否かを決定する。決定結果が有効データ判定信号 814 として外部デバイス制御部 802 に出力される。

## 【0137】

また、先読みデータ登録部856において決定されたエントリの先読みデータ信号858は、データ選択部859の一方の入力となる。また、データバッファ107から入力する読み取りデータのうち、先読みデータ登録部856を通さない場合のデータは、データ保持部860にて一時保持された後、データ選択部859の他方の入力となる。データ選択部859にて選択されたデータは、Eバスリードデータバス153上にEバスリードデータ信号EDRとして送出されるようになっている。

## 【0138】

この先読みデータ登録部801は、外部デバイス制御部802からの指示信号813を制御信号として受けて、先読みしたデータの登録動作と登録したデータの読み出し動作とを行うようになっている。

## 【0139】

まず、この先読みデータ登録部801では、先読みしたデータをエントリ0～エントリ3に4つまで登録することができる。このとき、先読みしたデータをどのエントリに登録するかは、アドレスの一部であるエントリアドレス852をそのデータの識別子として用いて決定する。以下、この先読みしたデータの先読みデータ登録部801への登録動作を具体的に説明する。

## 【0140】

すなわち、外部デバイス113からデータの先読みが行われ、読み出されたデータが外部データバス133を通してデータバッファ107に出力されているとき、外部デバイス113に与えた外部バスアドレス信号811がアドレス選択部850に入力されるので、アドレス選択部850はこのときの外部バスアドレス信号811を選択し、選択アドレス信号851として出力する。

## 【0141】

エントリアドレスデコード部854は、選択アドレス信号851のエントリアドレス852を使用してエントリを決定する。ここでは、エントリ1が選択されたとする。そして、識別アドレス登録部855と先読みデータ登録部856のエントリ1に、それぞれ識別アドレス853上の信号値、外部データバス133上

の信号値を登録する。また、有効ビット登録部 857 のエントリ 1 に有効ビット “1” をセットする。これらの動作は、外部デバイス制御部 802 からの指示信号 813 に基づいて行われる。

## 【0142】

次に、先読みデータ登録部 801 に登録されたデータを読み出す動作について説明する。バスマスタ A601 からデータリード動作が行われると、そのアドレス信号 EADDR が E バスアドレス信号バス 151 上に出力されるので、アドレス選択部 850 は、E バスアドレス信号 EADDR であるアドレス信号 812 を選択して選択アドレス信号 851 として出力する。

## 【0143】

エントリアドレスデコード部 854 は、選択アドレス信号 851 のエントリアドレス 852 を使用してエントリを決定する。ここでは、エントリ 1 が選択されたとする。そして、識別アドレス登録部 855 のエントリ 1 に登録されている識別アドレス 862 と有効ビット登録部 857 のエントリ 1 に登録されている有効ビット 863 とを有効データ判定部 861 に与える。

## 【0144】

有効データ判定部 861 は、エントリ 1 の有効ビット 863 が “1” で、かつエントリ 1 に登録された識別アドレス 862 と今読み出そうとしているアドレスの識別アドレス 853 とが一致した場合に、有効データ判定信号 814 を使用して、有効データが先読みデータ登録部 801 に登録されていることを外部デバイス制御部 802 に通知する。

## 【0145】

これを受けて、外部デバイス制御部 802 は、指示信号 813 を用いて、先読みデータ登録部 856 のエントリ 1 に登録されている先読みデータ信号 858 をデータ選択部 859 に出力させる。データ選択部 859 は、先読みデータ信号 858 を選択して E バスリードデータバス 153 に出力する。

## 【0146】

一方、有効データ判定部 861 は、エントリ 1 の有効ビット 863 が “0” で、またはエントリ 1 に登録された識別アドレス 862 と今読み出そうとしている

アドレスの識別アドレス 8 5 3 が一致しない場合は、先読みデータ登録部 8 0 1 に有効なデータが登録されていないので、有効データ判定信号 8 1 4 を使用して外部デバイス制御部 8 0 2 にその旨を伝える。

【0 1 4 7】

これを受けて、外部デバイス制御部 8 0 2 は、外部デバイス 1 1 3 から新たな通常データを読み出し、その通常データをデータ保持部 8 6 0 に保持させる。そして、データ選択部 8 5 9 にデータ保持部 8 6 0 を選択させてその保持データを E バスリードデータバス 1 5 3 に出力させる。

【0 1 4 8】

斯くして、実施の形態 6 によれば、バスアクセス機能のみを有するバスマスタ A は、単に、データリード要求を出すだけで、実施の形態 5 と同様に、先読みされたデータを取得することができる。したがって、実施の形態 5 と同様に、新しい L S I を設計する際に既存回路の再利用ができるようになる。

【0 1 4 9】

なお、実施の形態 1 にて説明したように、この発明で言うデータの先読みは、バスが空いているときに実行され、バスが空いていないときは読み込まないという点でいわゆるキャッシュとは異なっている。

【0 1 5 0】

【発明の効果】

以上説明したように、この発明によれば、バスマスタは、外部デバイスである例えば S D R A M の連続したアドレスを断続的にアクセスする場合に、あるアドレスをアクセスした後、バスが空いていれば次のデータを先読みして保持しておき、その後、適宜なときにその保持データを取り込むことができるので、後にアクセスすることが予想されるデータや後で必要となることが予想されるデータをバスが空いているときに先読みすることができる。したがって、外部デバイスである S D R A M アクセスのオーバーヘッドを解消することができ、また S D R A M アクセスの集中を避けることができる。

【図面の簡単な説明】

【図 1】 この発明の実施の形態 1 であるシステム L S I におけるデータ転

送制御回路の構成を示すブロック図である。

【図 2】 図 1 に示すシステム L S I におけるデータ転送制御回路において実施されるデータリード動作時におけるタイミング関係を説明するタイムチャートである。

【図 3】 この発明の実施の形態 2 であるシステム L S I におけるデータ転送制御回路の構成を示すブロック図である。

【図 4】 この発明の実施の形態 3 であるシステム L S I におけるデータ転送制御回路の構成を示すブロック図である。

【図 5】 この発明の実施の形態 4 であるシステム L S I におけるデータ転送制御回路の構成を示すブロック図である。

【図 6】 この発明の実施の形態 5 であるシステム L S I におけるデータ転送制御回路の構成を示すブロック図である。

【図 7】 図 6 に示すアドレス比較部の構成例を示すブロック図である。

【図 8】 この発明の実施の形態 6 であるシステム L S I におけるデータ転送制御回路の構成を示すブロック図である。

【図 9】 図 8 に示す先読みデータ登録部の構成例およびアドレス構成を説明する図である。

【図 1 0】 従来のシステム L S I におけるデータ転送制御回路の構成例を示すブロック図である。

【図 1 1】 図 1 0 に示すシステム L S I におけるデータ転送制御回路において実施されるデータリード動作時におけるタイミング関係を説明するタイムチャートである。

【符号の説明】

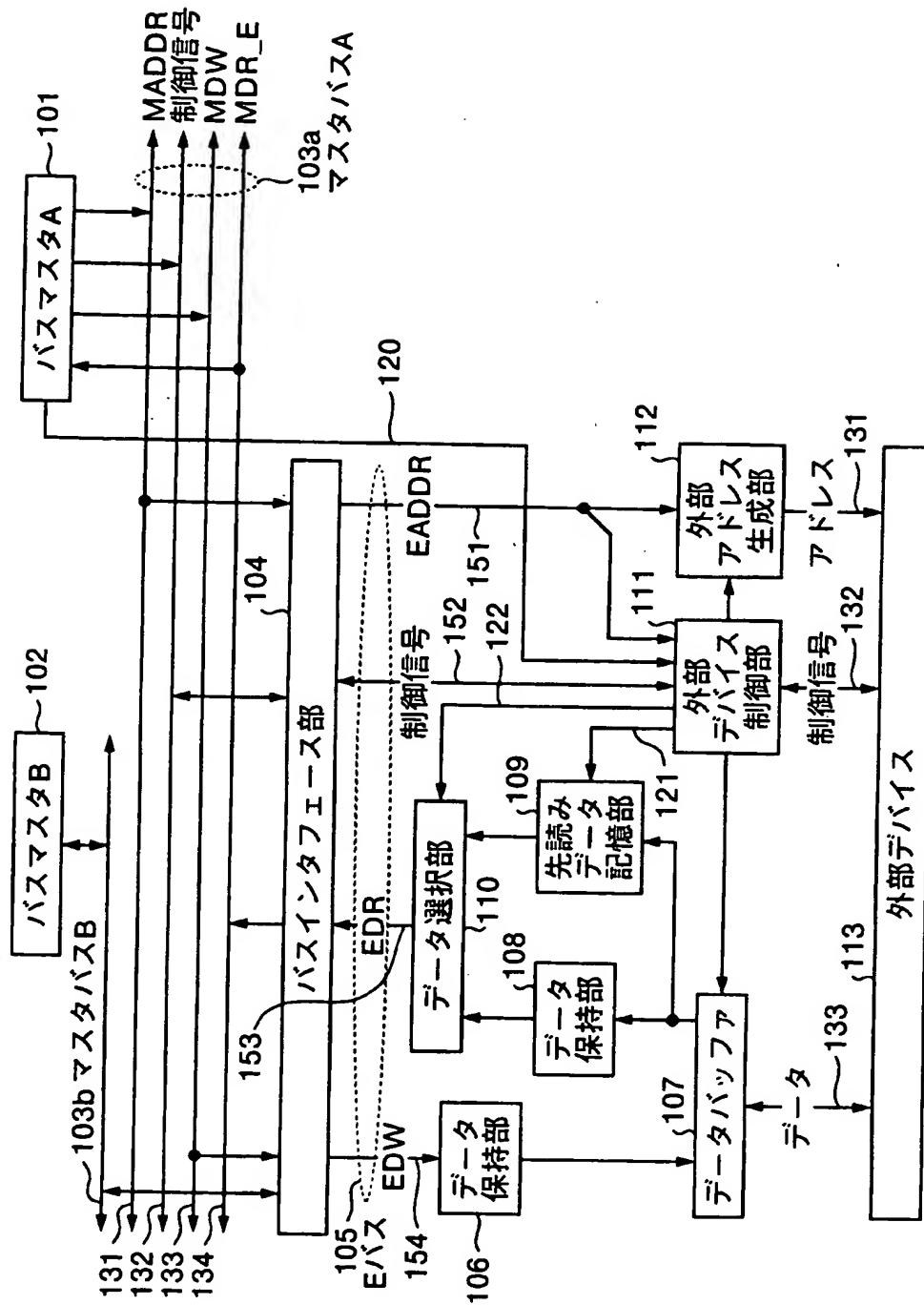
1 0 1, 3 0 1, 4 0 1, 6 0 1 バスマスタ A、1 0 2 バスマスタ B、1 0 3 a マスタバス A、1 3.1 アドレス信号バス、1 3 2 制御信号バス、1 3 3 ライトデータバス、1 3 4 リードデータバス、1 0 3 b マスタバス B、1 0 4 バスインタフェース部、1 0 5 Eバス、1 0 6, 1 0 8 データ保持部、1 0 7 データバッファ、1 0 9, 3 0 3, 3 0 4 先読みデータ記憶部、5 0 2 データ記憶部、1 1 0, 3 0 5 データ選択部、1 1 1, 3 0 2, 4



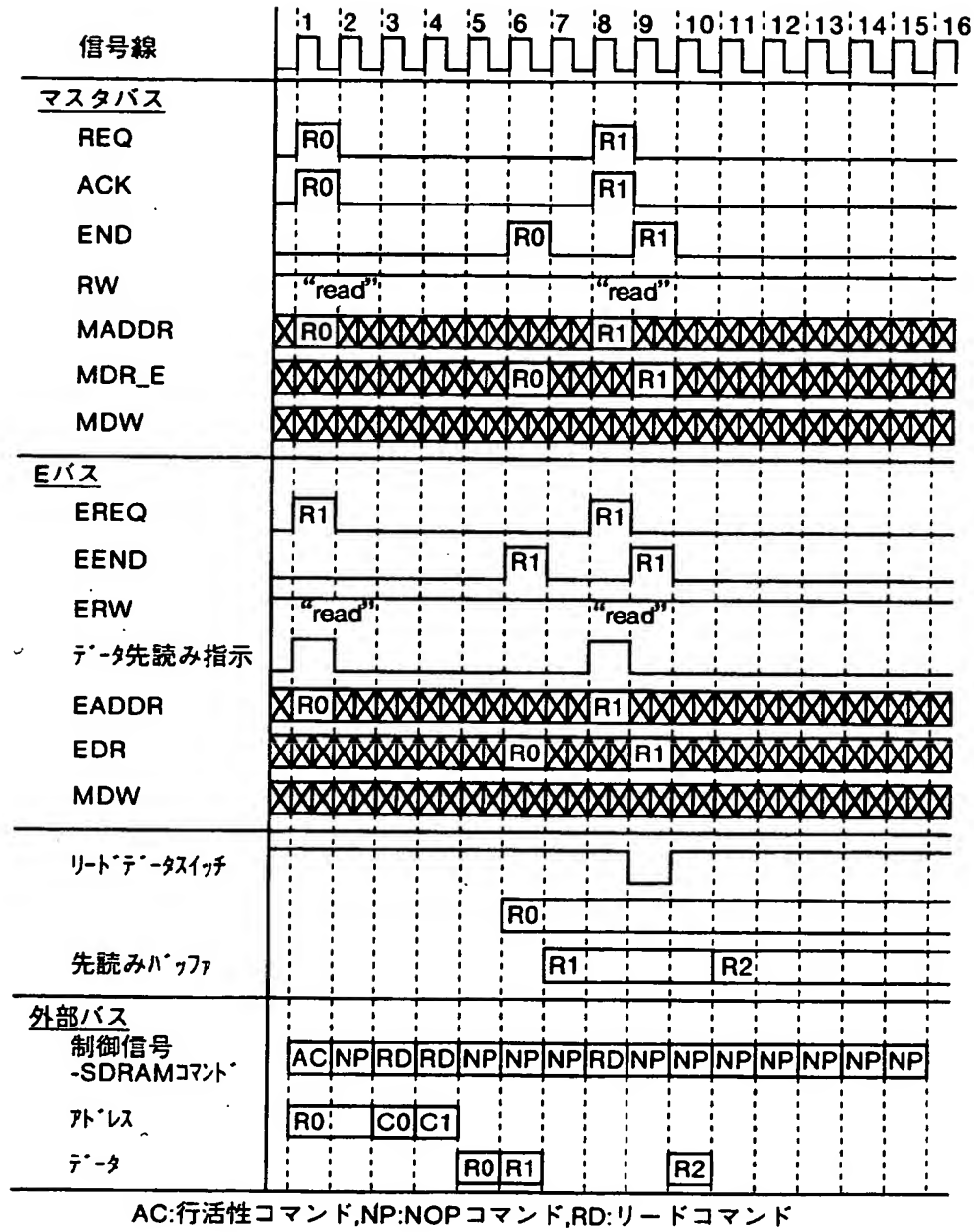
02, 501, 802 外部デバイス制御部、112 外部アドレス生成部、113 外部デバイス、601 アドレス比較部、701 アドレス保持部、702 比較器、802 先読みデータ登録部、850 アドレス選択部、854 エントリデコード部、855 識別アドレス登録部、856 先読みデータ登録部、857 有効ビット登録部、859 データ選択部、860 データ保持部、861 有効データ判定部。

【書類名】 図面

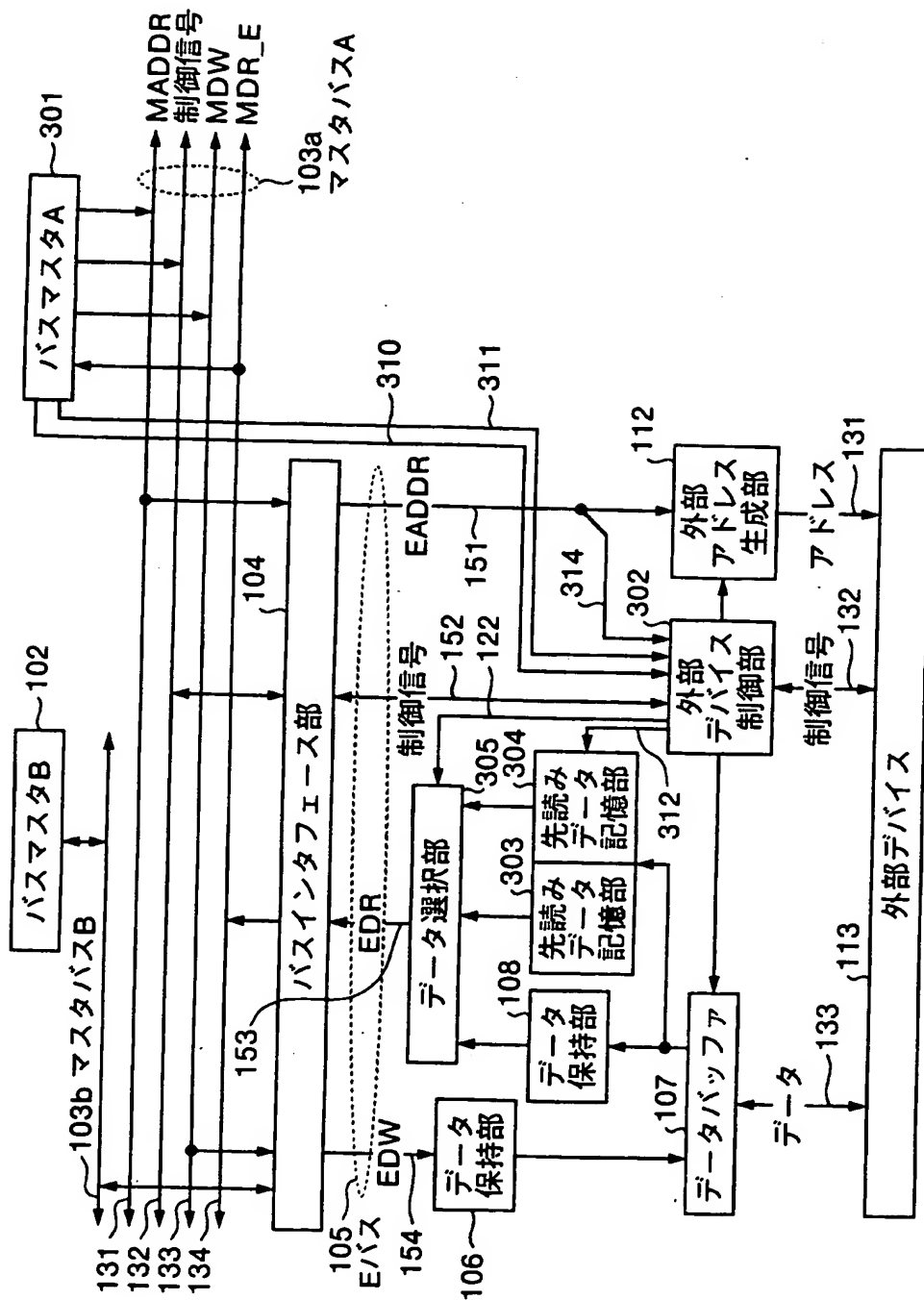
【図 1】



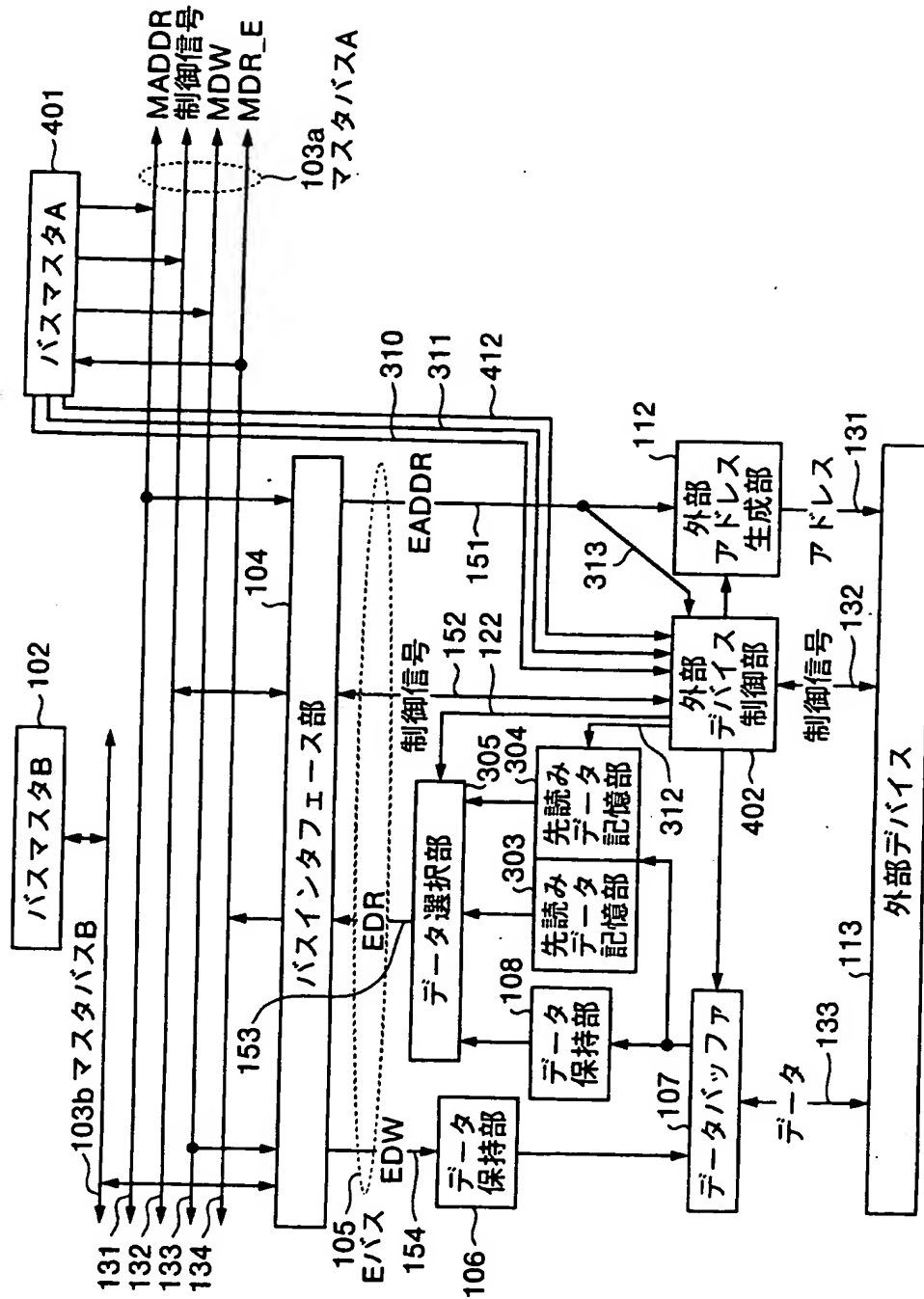
【図 2】



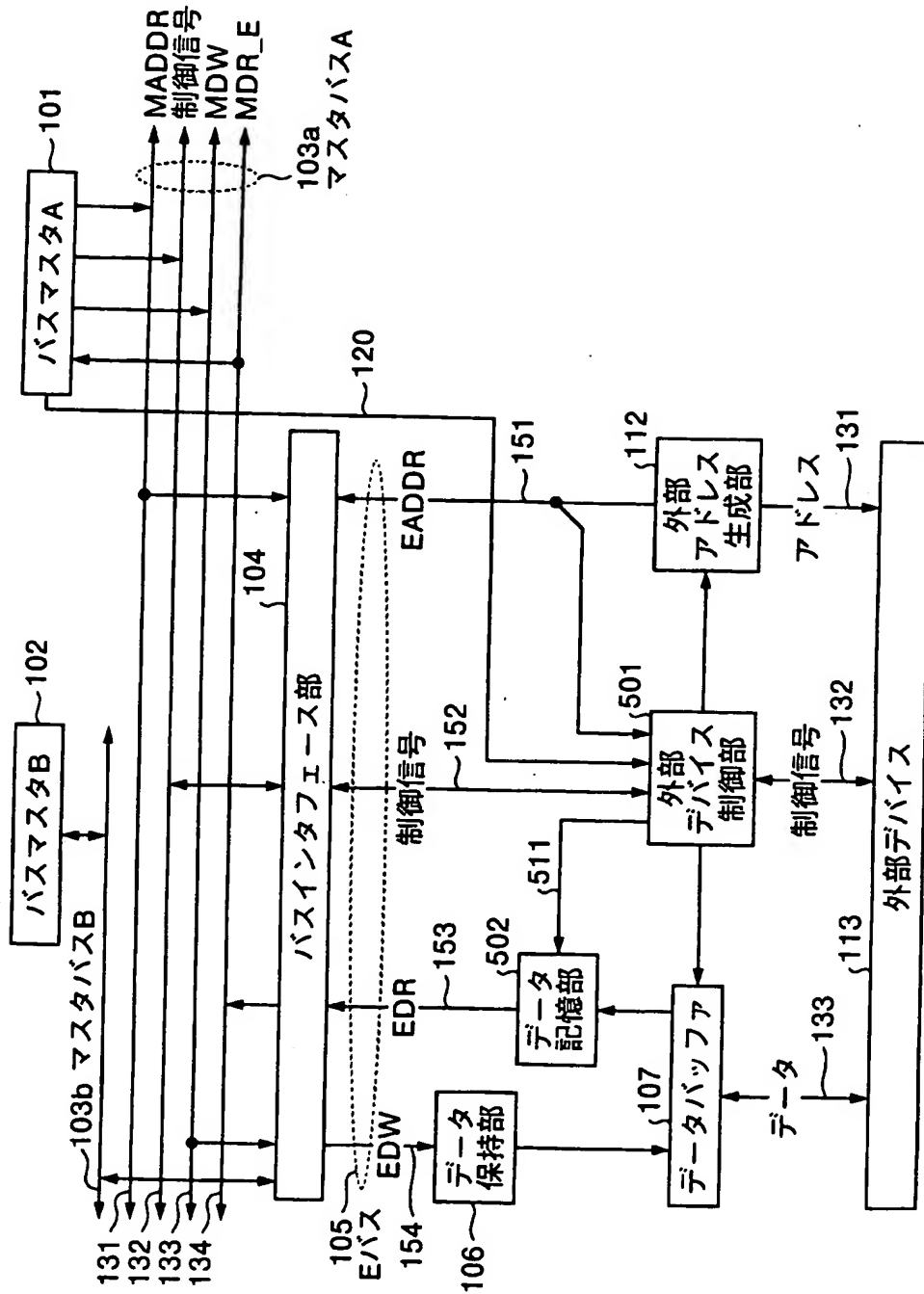
【図 3】



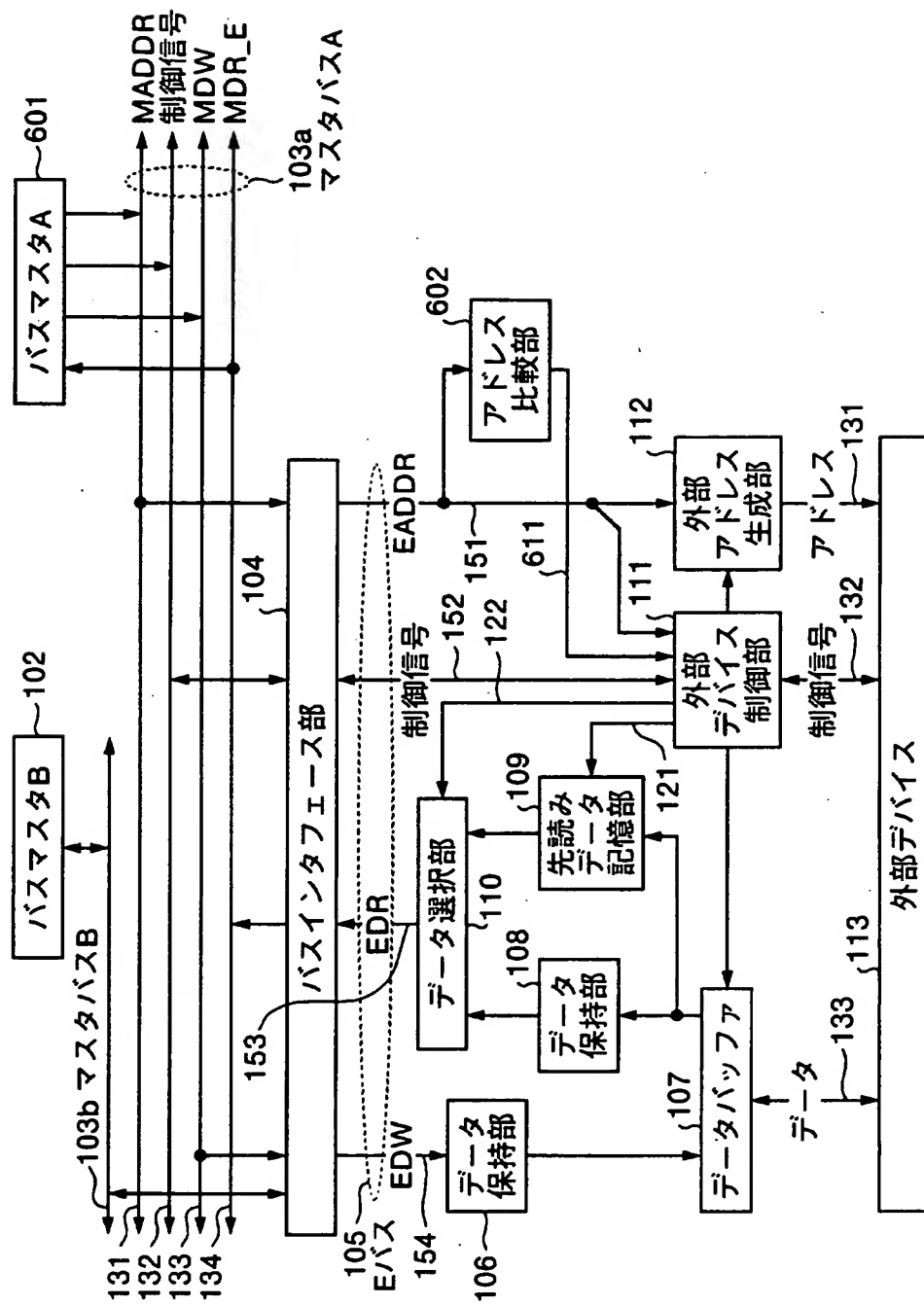
【図 4】



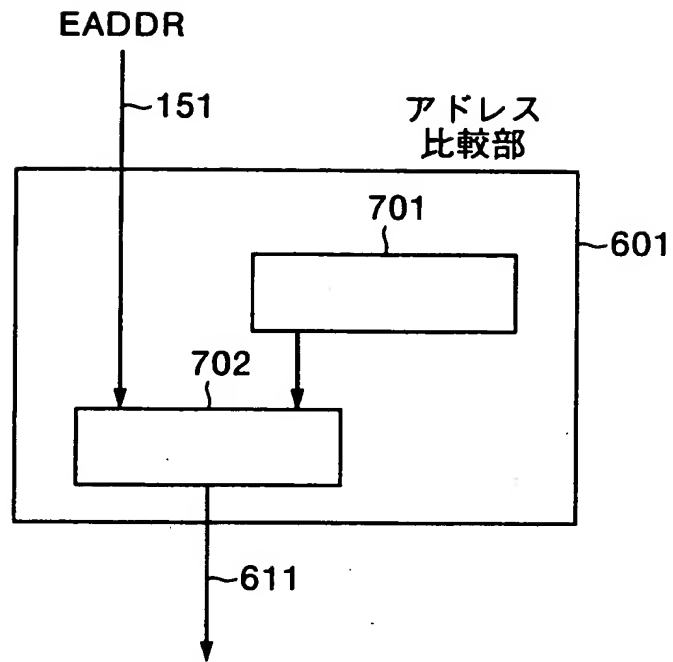
【図 5】



【図 6】

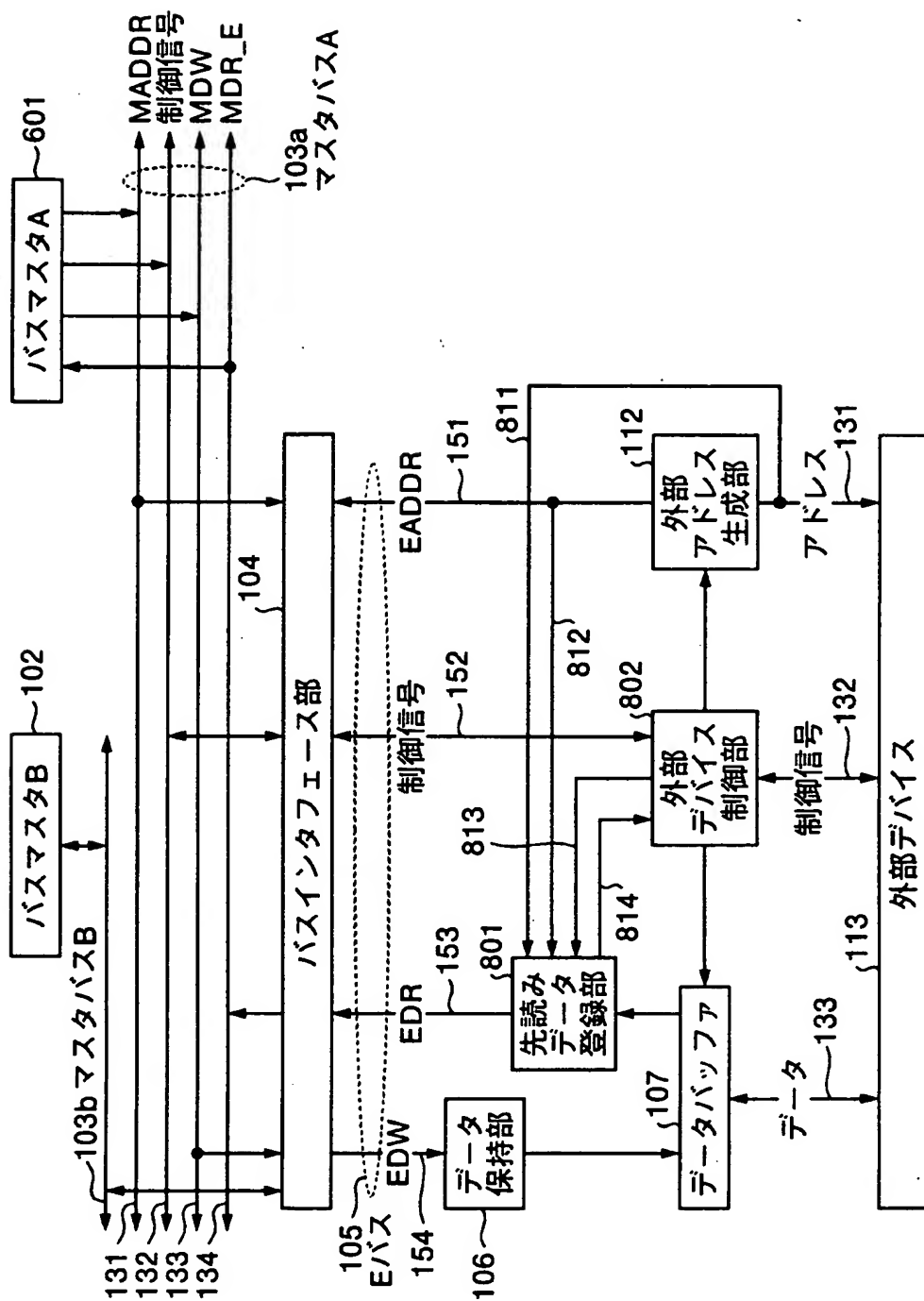


【図 7】

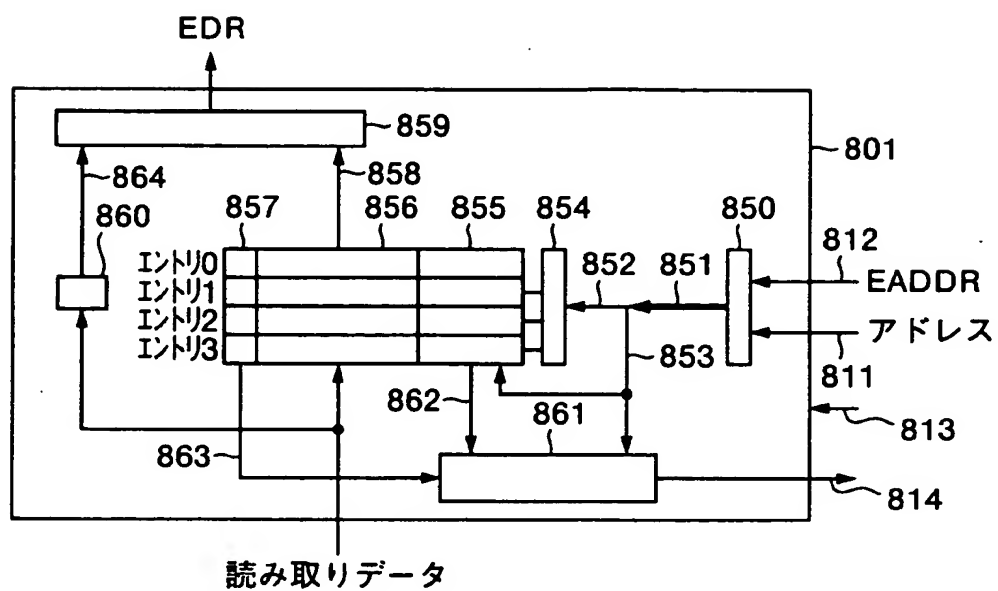




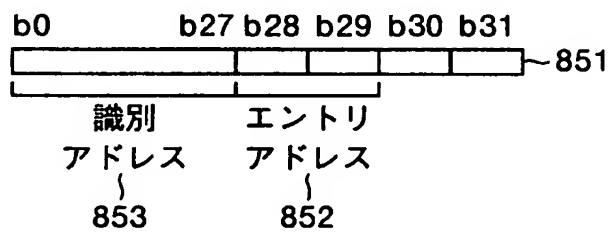
【図 8】



【圖 9】

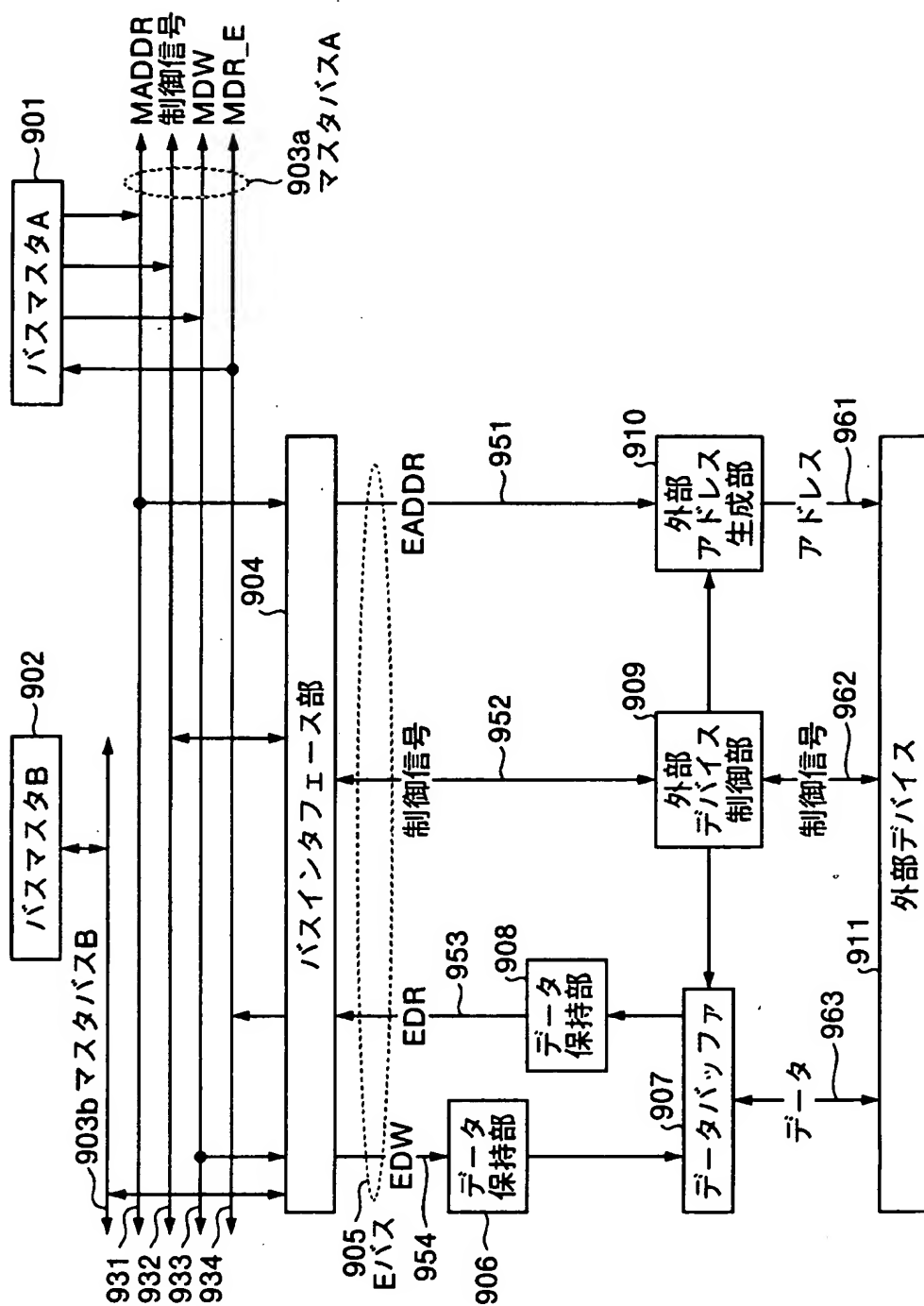


(a)先読みデータ登録部構成

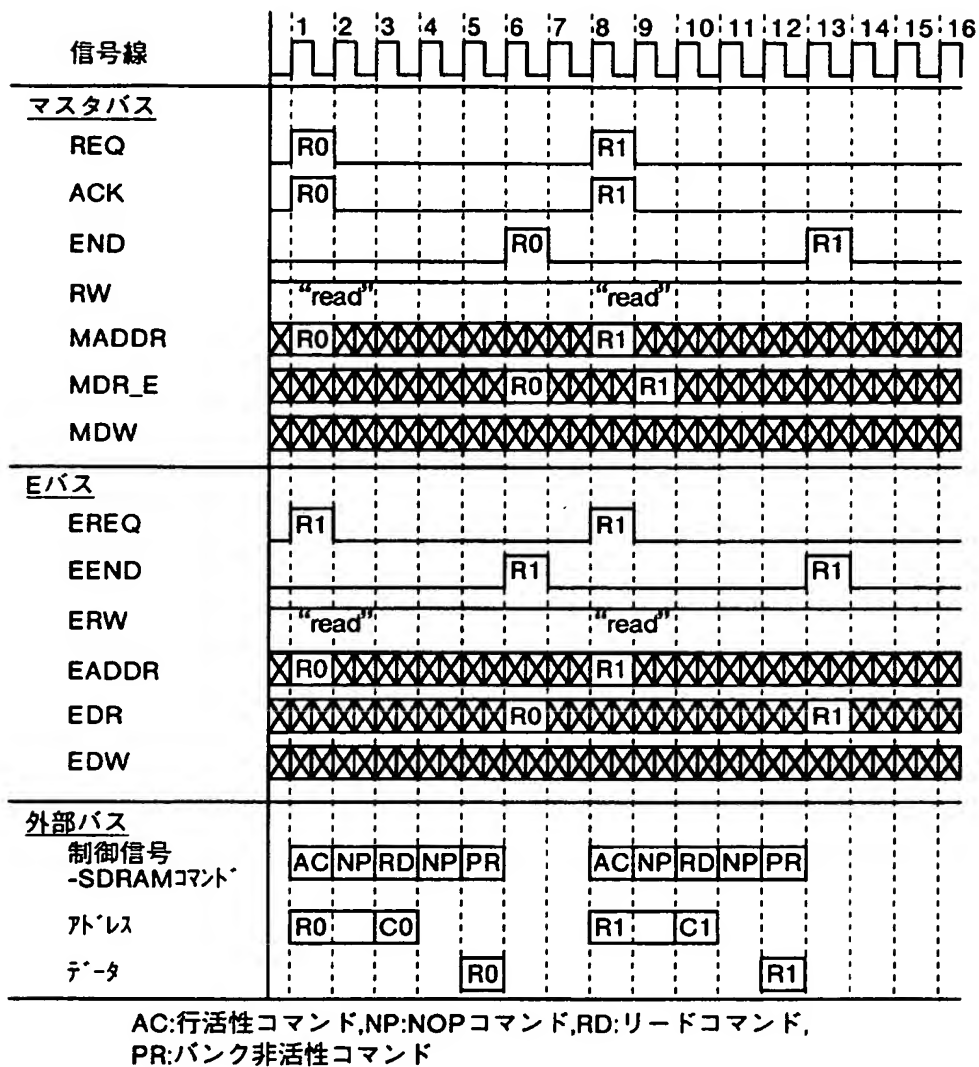


## (b) アドレス構成

【図10】



【図 11】



【書類名】 要約書

【要約】

【課題】 外部デバイスにアクセスするバスが空いているときにデータの先読みが実行できるようにすること。

【解決手段】 バスマスタ A 1 0 1 は、データリード要求を発行する際にデータ先読み指示 1 2 0 を行う機能を有する。外部デバイス制御部 1 1 1 は、バスマスタ A 1 0 1 が発行するデータ先読み指示 1 2 0 を伴うデータリード要求を受けて、外部アドレス生成部 1 1 2 に今回の通常読み出しを行うアドレスと次回の先読みを行うアドレスとを連続して生成させ、今回の通常読み出しが終了したときに他のバスマスタ B 1 0 2 がデータリード要求を発行していないことを条件に次回の先読みアドレスによる読み出しを実行する。今回の通常読み出しアドレスによって読み出された通常データはデータ保持部 1 0 8 に保持され、次回の先読みアドレスによって読み出された先読みデータは先読みデータ記憶部 1 0 9 に記憶される。

【選択図】 図 1

出 願 人 履 歴 情 報

識別番号 [503121103]

1. 変更年月日	2003年 4月 1日
[変更理由]	新規登録
住 所	東京都千代田区丸の内二丁目4番1号
氏 名	株式会社ルネサステクノロジ